

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203806

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

H01L 21/266

G03F 1/16

H01L 21/027

(21)Application number : 2001-290118

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.09.2001

(72)Inventor : SHIBATA TAKESHI

MATSUO KOJI

SUGURO KYOICHI

SUGIHARA KAZUYOSHI

(30)Priority

Priority number : 2000333914

Priority date : 31.10.2000

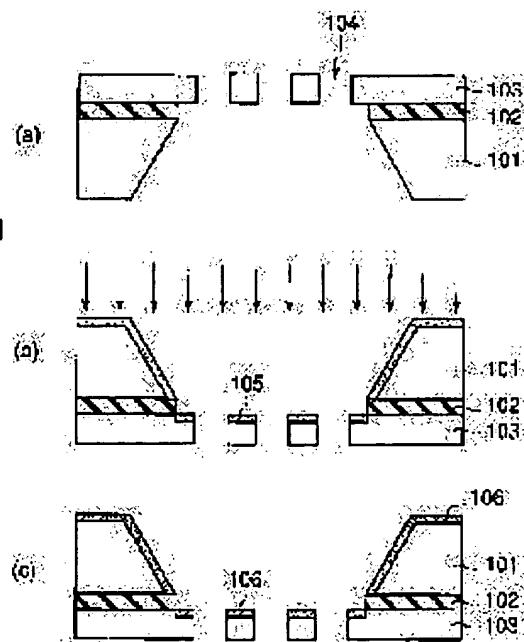
Priority country : JP

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, STENCIL MASK AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stencil mask where distortion is hard to occur even if it is repeatedly used for an ion implanting step.

SOLUTION: (a) A stencil mask comprising a silicon thin film 103 having an opening 104 of a prescribed transparent hole pattern shape is provided. (b) Impurity atoms are then doped into the silicon thin film by an ion implanting method. (c) A damaged region 105 is then recrystallized by heat-treating a sample and a doped hard silicon layer 106 is formed on the surface of the silicon thin film 103 where the opening 104 is formed.



LEGAL STATUS

[Date of request for examination] 14.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-203806

(P2002-203806A)

(43)公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl.
H 01 L 21/266
G 03 F 1/16
H 01 L 21/027

識別記号

F I
G 03 F 1/16
H 01 L 21/265
21/30

テマコード(参考)
B 2 H 0 9 5
M 5 F 0 5 6
5 4 1 S

審査請求 未請求 請求項の数31 O L (全 29 頁)

(21)出願番号 特願2001-290118(P2001-290118)
(22)出願日 平成13年9月21日 (2001.9.21)
(31)優先権主張番号 特願2000-333914(P2000-333914)
(32)優先日 平成12年10月31日 (2000.10.31)
(33)優先権主張国 日本 (JP)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 柴田 武
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 松尾 浩司
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法、ステンシルマスク及びその製造方法

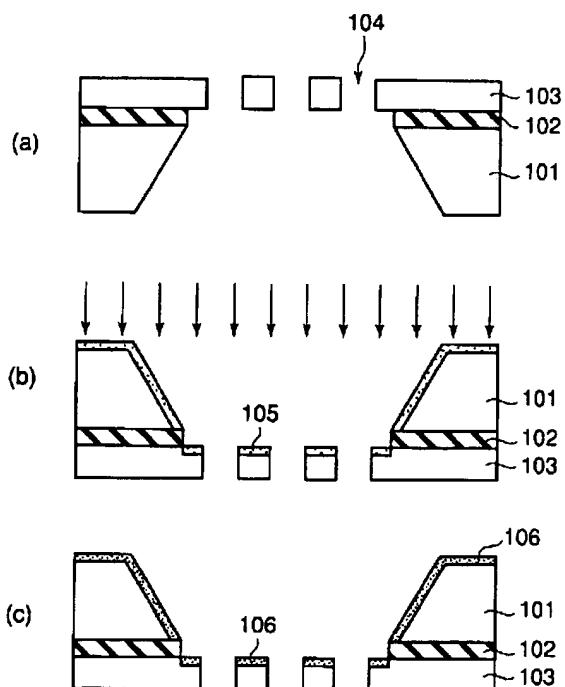
(57)【要約】 (修正有)

【課題】 イオン注入工程に複数回用いても歪みが発生しにくい、ステンシルマスクを提供すること。

【解決手段】 (a) 所定の透過孔パターン形状の開口104を有するシリコン薄膜103を具備するステンシルマスクを用意する。

(b) 次にイオン注入法で不純物原子をシリコン薄膜103に注入する。

(c) 次に試料を加熱処理することにより損傷領域105が再結晶化され、開口104が形成されたシリコン薄膜103の表面には不純物が導入された硬シリコン層106が形成される。



【特許請求の範囲】

【請求項 1】半導体基板に対して荷電粒子を選択照射するための開口が設けられ、前記荷電粒子の照射面に不純物が導入されたシリコン薄膜を具備するステンシルマスクを用いて、前記半導体基板に対して荷電粒子を選択照射することを特徴とする半導体装置の製造方法。

【請求項 2】前記シリコン薄膜の前記半導体基板に対向する面に前記不純物が導入されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】前記シリコン薄膜の開口の側壁に前記不純物が導入されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】半導体基板に対して荷電粒子を選択照射するための開口が形成された金属薄膜と、この金属薄膜の前記荷電粒子の照射面上に形成された半導体層とを具備するステンシルマスクを用いて、半導体基板に対して荷電粒子を選択照射することを特徴とする半導体装置の製造方法。

【請求項 5】前記ステンシルマスクに 1 回以上荷電粒子を照射した後、前記半導体層を選択除去するステップと、

前記金属薄膜の前記荷電粒子の照射面上に半導体層を再び形成するステップと、

前記ステンシルマスクに 1 回以上荷電粒子を照射するステップとを含むことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】半導体基板に対して荷電粒子を選択照射するための開口が形成された薄膜と、この薄膜の表面上に形成された複数層の被覆層とを具備するステンシルマスクを用いて、半導体基板に対して荷電粒子を選択照射することを特徴とする半導体装置の製造方法。

【請求項 7】前記ステンシルマスクに 1 回以上荷電粒子を照射した後、前記被覆層の少なくとも一部を選択除去するステップと、

前記金属薄膜の前記荷電粒子の照射面上に選択除去された被覆層を再び形成するステップと、

前記ステンシルマスクに 1 回以上荷電粒子を照射するステップとを含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】半導体基板に対して選択的に荷電粒子を照射するための開口が形成されたシリコン薄膜と、このシリコン薄膜の前記荷電粒子の照射面上に形成された絶縁層とを具備するステンシルマスクを用いて、半導体基板に対して荷電粒子を選択照射することを特徴とする半導体装置の製造方法。

【請求項 9】半導体基板に対して荷電粒子を選択照射するための開口が設けられた遮蔽膜と、この遮蔽膜の前記荷電粒子の照射面上に形成されたレジスト膜とを具備するステンシルマスクを用いて、前記半導体基板に荷電粒子を選択照射することを特徴とする半導体装置の製造方

法。

【請求項 10】半導体基板に対して荷電粒子を選択照射するための開口が設けられた遮蔽膜を有するステンシルマスクに対して、前記遮蔽膜の前記荷電粒子の照射面に選択的に第 1 のレジスト膜を形成する工程と、

第 1 のレジスト膜を具備するステンシルマスクを用いて、1 枚以上の半導体基板に対して荷電粒子を選択照射する工程と、

前記ステンシルマスクの照射面に形成されたレジストを除去する工程と、

前記遮蔽膜の前記荷電粒子の照射面に選択的に第 2 のレジスト膜を形成する工程と、

第 2 のレジスト膜を具備するステンシルマスクを用いて、半導体基板に対して 1 回以上荷電粒子を選択照射する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 11】半導体基板に対して荷電粒子を選択照射するための開口が設けられ、前記開口の深さは該開口の大きさに応じて異なる薄膜を具備するステンシルマスクを用いて、半導体基板に荷電粒子を選択照射することを特徴とする半導体装置の製造方法。

【請求項 12】半導体基板上に対向配置され、該半導体基板に対して荷電粒子を選択照射するための開口が設けられた薄膜と、この薄膜の前記荷電粒子の照射面上に形成された絶縁層と、前記薄膜及び絶縁層上に形成され、該薄膜と導通する支持基板とを具備するステンシルマスクを用いて、前記半導体基板に荷電粒子を選択照射するステップと、

前記荷電粒子の照射により前記薄膜に帯電する電荷を、前記支持基板を介してステンシルマスクから排出するステップとを含むことを特徴とする半導体装置の製造方法。

【請求項 13】前記支持基板を接地して、前記薄膜に帯電する電荷を前記ステンシルマスクから排出することを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】半導体基板上に対向配置され、開口を有する薄膜を具備するステンシルマスクを介して、半導体基板に対して荷電粒子を照射して、該半導体基板にイオンを選択注入するステップと、

前記荷電粒子の照射時、前記薄膜と前記半導体基板との電位差を調整するステップとを含むことを特徴とする半導体装置の製造方法。

【請求項 15】前記薄膜上に、該薄膜と導通する支持基板が形成され、支持基板と前記半導体基板とを電気的に結線して、前記薄膜と前記半導体基板との電位差を調整することを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 16】前記薄膜と前記半導体基板との電位差を -20 V から $+20\text{ V}$ の範囲内で制御することを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 17】荷電粒子照射時、前記薄膜と前記半導体基板との電位差に応じて、前記薄膜と前記半導体基板との距離を制御することを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 18】照射位置に設置された半導体基板に対して不純物のイオン及び中性粒子を含む粒子線を照射して、半導体基板に単位面積当たりの注入量Dの不純物を導入する半導体装置の製造方法であって、前記半導体基板が粒子線が照射されない状態で、前記照射位置近傍に設置され、測定面に入射したイオン及び中性粒子の入射位置に応じた電子を生成・増幅して裏面側から放出する電子生成・放出器と、この電子生成・放出器から放出された電子の位置及び量を測定する電子検出器と、この電子検出器により測定された電子の位置及び量から前記粒子検出器の表面に入射したイオンと中性粒子との全粒子量の分布を演算する粒子量演算部とを具備する粒子量測定器と、前記照射位置と異なる位置に設置され、前記イオンによる電流を測定するビーム電流測定器とに対して、前記粒子線を照射するステップと、粒子量測定器を用いて前記電子生成・放出器に照射された粒子線のイオン及び中性粒子の全粒子量の面内分布を測定するステップと、演算された全粒子量の面内分布に応じて、前記粒子線を生成する生成系、及び生成された粒子線が通過する輸送系の調整を行って、全粒子量の面内分布を制御するステップと、

前記照射位置に前記半導体基板を移動させるステップと、前記半導体基板に対して粒子線を照射するステップとを含むことを特徴とする半導体装置の製造方法。

【請求項 19】照射位置に設置された半導体基板に対して不純物のイオン及び中性粒子を含む粒子線を照射して、半導体基板に単位面積当たりの注入量Dの不純物を導入する半導体装置の製造方法であって、前記半導体基板が粒子線が照射されない状態で、前記照射位置近傍に設置され、測定面に入射したイオン及び中性粒子の入射位置に応じた電子を生成・増幅して裏面側から放出する電子生成・放出器と、この電子生成・放出器から放出された電子の位置及び量を測定する電子検出器と、この電子検出器により測定された電子の位置及び量から前記粒子検出器の表面に入射したイオンと中性粒子との全粒子量の分布を演算する粒子量演算部とを具備する粒子量測定器と、前記照射位置と異なる位置に設置され、前記イオンによる電流を測定するビーム電流測定器とに対して、前記粒子線を照射するステップと、前記粒子量測定器により前記測定面の単位面積に入射するイオンと中性粒子との全粒子量Nを測定すると共に、ビーム電流測定器により測定された電流からビーム電流測定器に入射する単位面積当たりのイオン量N₂を求めるステップと、

前記全粒子量N、イオン量N₂及び不純物量Dから換算値D₂=D×(N₂/N)を求めるステップと、前記半導体基板を前記照射位置に設置するステップと、前記半導体基板に対して粒子線を照射し、該半導体基板に不純物を導入するステップと、前記不純物の導入時、前記ビーム電流測定器により前記イオンによる電流を測定し、測定された電流からイオン量N₂'を求めるステップと、前記イオン量N₂'と換算値D₂とが等しくなった時点での前記不純物の導入を終了させるステップとを含むことを特徴とする半導体装置の製造方法。

【請求項 20】前記半導体基板に対する荷電粒子の照射は、開口を有するステンシルマスクを介して行われ、前記半導体基板に不純物が選択注入されることを特徴とする請求項 19 に記載の半導体装置の製造方法。

【請求項 21】開口が形成されたシリコン薄膜を具備するステンシルマスクであって、前記シリコン薄膜の表面には不純物が導入されていることを特徴とするステンシルマスク。

【請求項 22】前記不純物が、p型不純物、n型不純物、炭素、窒素、又は酸素であることを特徴とする請求項 21 に記載のステンシルマスク。

【請求項 23】開口が形成された金属薄膜と、この金属薄膜の表面上に形成された半導体層とを具備してなることを特徴とするステンシルマスク。

【請求項 24】開口が形成された薄膜と、この薄膜の表面上に形成された複数層の被覆層とを具備してなることを特徴とするステンシルマスク。

【請求項 25】開口が形成されたシリコン薄膜を用いた、イオン注入工程に用いられるステンシルマスクであって、

前記シリコン薄膜の表面上に絶縁層が形成されていることを特徴とするステンシルマスク。

【請求項 26】荷電粒子が通過する開口が設けられた薄膜と、この薄膜の前記荷電粒子の照射面上に形成されたレジスト膜とを具備してなることを特徴とするステンシルマスク。

【請求項 27】荷電粒子が通過する開口が設けられた薄膜を具備し、前記開口の深さは該開口の大きさに応じて異なることを特徴とするステンシルマスク。

【請求項 28】被処理基板に対して荷電粒子を選択照射するための開口が設けられた薄膜と、この薄膜の前記荷電粒子の照射面上に形成された絶縁層と、前記薄膜及び絶縁層上に形成され、該薄膜と導通する支持基板とを具備してなることを特徴とするステンシルマスク。

【請求項 29】開口が形成されたシリコン薄膜の表面側に、不純物を注入する工程と、前記シリコン薄膜を加熱する工程とを含むことを特徴とするステンシルマスクの製造方法。

【請求項 30】支持基板、絶縁層及びシリコン薄膜が積

層されたS O I基板のシリコン薄膜表面に不純物を注入する工程と、
前記シリコン薄膜をパターニングし、底面に前記絶縁層が露出する開口を形成する工程と、
前記支持基板及び絶縁層の一部を除去して、開口の底面を露出させる工程とを含むことを特徴とするステンシルマスクの製造方法。

【請求項3】シリコン基板の一方の面に不純物を導入する工程と、
前記シリコン基板を加熱する工程と、
前記シリコン基板の不純物が導入側された面と、支持基板上に形成された絶縁層とを張り合わせる工程と、
前記シリコン基板を研削し、シリコン薄膜を形成する工程と、
前記シリコン薄膜をパターニングし、前記絶縁層が露出する開口を形成する工程と、
前記シリコン薄膜の表面に不純物を導入する工程と、
前記シリコン薄膜を加熱する工程と、
前記支持基板及び絶縁層の一部を除去して、前記開口の底面を露出させる工程とを含むことを特徴とするステンシルマスクの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体プロセスで用いるステンシルマスク及びその製造方法の製造方法に関する。

【0002】

【従来の技術】半導体装置の製造工程において、同一基板内にチャネルの導電型が異なるMOSFET、又はしきい値電圧の異なるMOSFETを作製する工程において、ウェルまたはチャネル、Poly-Siに対する不純物イオン注入の際に、半導体基板上に一定の距離だけ離して、開口部を有するステンシルマスク（又はアバチャ）を設置し、イオン注入を行なう方法がある。

【0003】半導体製造におけるイオン注入工程にステンシルマスクを用いる場合、被処理基板の目的の注入領域の上に限定した開口部を有するステンシルマスクを用いて行われる。つまり、所望の注入領域にはステンシルマスクの開口部を通してイオンが注入され、非注入領域では、ステンシルマスク遮蔽部によって、イオンが遮蔽される。しかしイオンを遮蔽するステンシルマスクは、繰り返し行われるイオン注入によって、遮蔽したイオンが蓄積していくことになる。遮蔽するイオンの衝突が繰り返されることによるダメージも蓄積していく。結果、複数回のイオン注入工程の後には、ステンシルマスクが変形し高い位置精度をもってイオン注入を行うことができなくなってしまう。

【0004】例えば、図42に示すように、素子分離絶縁領域4202を形成したSi基板4201に対して、離間して設置されたステンシルマスク4203の開口部

を通してSi基板に不純物イオン4204を注入する際に、ステンシルマスク4203に歪みが生じると、開口部の位置が変位するため、イオン注入領域4205は所望の領域全体に形成されず、非注入領域4206が形成される。また下地パターンの形状によっては、p型領域を形成すべき領域にn型不純物がはみ出して注入されてしまうという問題が生じる。

【0005】その結果、製造した半導体製品の電気特性がばらついてしまったり、製品が不良動作したりするようになる。そのため、複数回のイオン注入工程に使用した後には、ステンシルマスクが使用不能となってしまう。ステンシルマスクの製造費は、製造する半導体装置の製造費に転化され、半導体装置の製造コストの上昇を招く。

【0006】またS O I基板を用いたステンシルマスクは、開口を有する薄膜部領域と薄膜部領域を支持する支持部が絶縁膜である酸化膜によって遮断されているため、電気伝導性と熱伝導性が悪く半導体製造工程に用いているときに、熱による変形が生じる或いは、電荷の蓄積により、パターン形成能が低下するという問題があった。

【0007】ところで、イオン注入工程に代表される、荷電子を用いた半導体製造工程では、目的の領域に所望の粒子が均一に到達される必要がある。そのため均一性の確認つまり粒子の量を空間分解して測定し、所望の均一性を有していないときには、測定された信号をもとに、製造装置内の粒子発生源と粒子の輸送系の調整を行い均一性を確保する必要がある。また、複数の処理基板間の処理状態の均一性を確保するため、処理基板に到達する粒子の量を精度良く測定する必要がある。

【0008】この均一性の確認と、到達粒子数の確定には、実際に被処理基板に対して処理を行い、被処理基板の状態を別の測定装置を用いて確認する方法がある。しかし、この場合、処理から測定までに時間がかかる為、その結果をもとに、装置を再調整するのは困難である。

【0009】そのため、装置内で均一性の測定がおこなわれ、その測定結果をもとに装置の再調整が行なわれ、再度、均一性が測定されることが望ましい。装置内での均一性の測定には、例えばファラデーゲージなどの特定の領域を通過する電荷量を計測する測定子を配列して、そこからの出力で均一性を評価する方法がある。

【0010】しかし、これら測定子は荷電子を測定する為、中性化された粒子に対して何ら情報を取り出す事が出来ない。その一方で、例えばイオン注入工程では、イオンが装置中の残留ガスの影響で中性化することがあり、また中性化された粒子も被処理基板に対してイオンと同様に作用する。そのため中性の粒子も含めて測定できる測定子が求められていた。また半導体素子の微少化・微細化にともない、測定する空間分解能を高めることができていたが、そのための測定子の微少化が困難で

あった。

【0011】以上のように、中性粒子及び荷電粒子の半導体基板への到達粒子数の面内分布を測定し、半導体基板に到達する粒子数を正確に制御することが望まれていた。

【0012】

【発明が解決しようとする課題】上述したように、ステンシルマスクをイオン注入工程に複数回使用すると、マスクに歪みが生じて半導体基板へのイオン注入位置がずれることにより、製造した半導体製品の電気特性がばらついたり、製品が不良動作したりするようになる。そのため、半導体装置の製造コストを引き下げるために、安価又は耐久寿命の長いステンシルマスクが望まれていた。

【0013】また、熱による変形や帶電による電荷の蓄積によるパターン形成能の低下が低下するという問題があった。

【0014】中性粒子及び荷電粒子の到達粒子数の面内分布を測定可能な測定装置が求められていた。

【0015】本発明の目的は、変形しにくく耐久寿命が長い、ステンシルマスクを提供することにある。また、耐久寿命の長いステンシルマスクを用いて、半導体装置の製造コストを引き下げることが可能な半導体装置の製造方法を提供することにある。

【0016】また、本発明の別の目的は、安価なステンシルマスクを提供することにある。さらに、安価なステンシルマスクを用いて、半導体装置の製造コストを引き下げることが可能な半導体装置の製造方法を提供することにある。

【0017】また、本発明の別の目的は、ステンシルマスクを用いた熱による変形或いは、電荷の蓄積によるパターン形成能の低下を抑制し得る半導体装置の製造方法を提供することにある。

【0018】また、本発明の別の目的は、中性粒子及び荷電粒子の到達粒子数の面内分布を測定し、半導体基板に到達する粒子数を正確に制御する半導体装置の製造方法を提供することにある。

【0019】

【課題を解決するための手段】本発明は、上記目的を達成するために以下のように構成されている。

【0020】(1) 本発明に係わる半導体装置の製造方法は、半導体基板に対して荷電粒子を選択照射するための開口が設けられ、前記荷電粒子の照射面に不純物が導入されたシリコン薄膜を具備するステンシルマスクを用いて、前記半導体基板に対して荷電粒子を選択照射することを特徴とする。

【0021】(2) 本発明に係わる半導体装置の製造方法は、半導体基板に対して荷電粒子を選択照射するための開口が形成された金属薄膜と、この金属薄膜の前記荷電粒子の照射面上に形成された半導体層とを具備するス

テンシルマスクを用いて、半導体基板に対して荷電粒子を選択照射することを特徴とする半導体装置の製造方法。

【0022】(3) 本発明に係わる半導体装置の製造方法は、半導体基板に対して荷電粒子を選択照射するための開口が形成された薄膜と、この薄膜の表面上に形成された複数層の被覆層とを具備するステンシルマスクを用いて、半導体基板に対して荷電粒子を選択照射することを特徴とする。

【0023】(4) 本発明に係わる半導体装置の製造方法は、半導体基板に対して選択的に荷電粒子を照射するための開口が形成されたシリコン薄膜と、このシリコン薄膜の前記荷電粒子の照射面上に形成された絶縁層とを具備するステンシルマスクを用いて、半導体基板に対して荷電粒子を選択照射することを特徴とする。

【0024】(5) 本発明に係わる半導体装置の製造方法は、半導体基板に対して荷電粒子を選択照射するための開口が設けられた遮蔽膜と、この遮蔽膜の前記荷電粒子の照射面上に形成されたレジスト膜とを具備するステンシルマスクを用いて、前記半導体基板に荷電粒子を選択照射することを特徴とする。

【0025】(6) 本発明に係わる半導体装置の製造方法は、半導体基板に対して荷電粒子を選択照射するための開口が設けられた遮蔽膜を有するステンシルマスクに対して、前記遮蔽膜の前記荷電粒子の照射面に選択的に第1のレジスト膜を形成する工程と、第1のレジスト膜を具備するステンシルマスクを用いて、1枚以上の半導体基板に対して荷電粒子を選択照射する工程と、前記ステンシルマスクの照射面に形成されたレジストを除去する工程と、前記遮蔽膜の前記荷電粒子の照射面に選択的に第2のレジスト膜を形成する工程と、第2のレジスト膜を具備するステンシルマスクを用いて、半導体基板に対して1回以上荷電粒子を選択照射する工程とを含むことを特徴とする。

【0026】(7) 本発明に係わる半導体装置の製造方法は、半導体基板に対して荷電粒子を選択照射するための開口が設けられ、前記開口の深さは該開口の大きさに応じて異なる薄膜を具備するステンシルマスクを用いて、半導体基板に荷電粒子を選択照射することを特徴とする。

【0027】(8) 本発明に係わる半導体装置の製造方法は、半導体基板上に対向配置され、該半導体基板に対して荷電粒子を選択照射するための開口が設けられた薄膜と、この薄膜の前記荷電粒子の照射面上に形成された絶縁層と、前記薄膜及び絶縁層上に形成され、該薄膜と導通する支持基板とを具備するステンシルマスクを用いて、前記半導体基板に荷電粒子を選択照射するステップと、前記荷電粒子の照射により前記薄膜に帶電する電荷を、前記支持基板を介してステンシルマスクから排出するステップとを含むことを特徴とする。

【0028】(9) 本発明に係わる半導体装置の製造方法は、半導体基板上に対向配置され、開口を有する薄膜を具備するステンシルマスクを介して、半導体基板に対して荷電粒子を照射して、該半導体基板にイオンを選択注入するステップと、前記荷電粒子の照射時、前記薄膜と前記半導体基板との電位差を調整するステップとを含むことを特徴とする。

【0029】(10) 本発明に係わる半導体装置の製造方法は、照射位置に設置された半導体基板に対して不純物のイオン及び中性粒子を含む粒子線を照射して、半導体基板に単位面積当たり注入量Dの不純物を導入する半導体装置の製造方法であって、前記半導体基板が粒子線が照射されない状態で、前記照射位置近傍に設置され、測定面に入射したイオン及び中性粒子の入射位置に応じた電子を生成・增幅して裏面側から放出する電子生成・放出器と、この電子生成・放出器から放出された電子の位置及び量を測定する電子検出器と、この電子検出器により測定された電子の位置及び量から前記粒子検出器の表面に入射したイオンと中性粒子との全粒子量の分布を演算する粒子量演算部とを具備する粒子量測定器と、前記照射位置と異なる位置に設置され、前記イオンによる電流を測定するビーム電流測定器とに対して、前記粒子線を照射するステップと、前記粒子量測定器を用いて前記電子生成・放出器に照射された粒子線のイオン及び中性粒子の全粒子量の面内分布を測定するステップと、演算された全粒子量の面内分布に応じて、前記粒子線を生成する生成系、及び生成された粒子線が通過する輸送系の調整を行って、全粒子量の面内分布を制御するステップと、前記照射位置に前記半導体基板を移動させるステップと、前記半導体基板に対して粒子線を照射するステップとを含むことを特徴とする。

【0030】(11) 本発明に係わる半導体装置の製造方法は、照射位置に設置された半導体基板に対して不純物のイオン及び中性粒子を含む粒子線を照射して、半導体基板に単位面積当たり注入量Dの不純物を導入する半導体装置の製造方法であって、前記半導体基板が粒子線が照射されない状態で、前記照射位置近傍に設置され、測定面に入射したイオン及び中性粒子の入射位置に応じた電子を生成・增幅して裏面側から放出する電子生成・放出器と、この電子生成・放出器から放出された電子の位置及び量を測定する電子検出器と、この電子検出器により測定された電子の位置及び量から前記粒子検出器の表面に入射したイオンと中性粒子との全粒子量の分布を演算する粒子量演算部とを具備する粒子量測定器と、前記照射位置と異なる位置に設置され、前記イオンによる電流を測定するビーム電流測定器とに対して、前記粒子線を照射するステップと、前記粒子量測定器により前記測定面の単位面積に入射するイオンと中性粒子との全粒子量Nを測定すると共に、ビーム電流測定器により測定された電流からビーム電流測定器に入射する単位面積当

たりのイオン量N₂を求めるステップと、前記全粒子量N、イオン量N₂及び不純物量Dから換算値D₂=D×(N₂/N)を求めるステップと、前記半導体基板を前記照射位置に設置するステップと、前記半導体基板に対して粒子線を照射し、該半導体基板に不純物を導入するステップと、前記不純物の導入時、前記ビーム電流測定器により前記イオンによる電流を測定し、測定された電流からイオン量N₂'を求めるステップと、前記イオン量N₂'と換算値D₂とが等しくなった時点で前記不純物の導入を終了させるステップとを含むことを特徴とする。

【0031】(12) 本発明に係わるステンシルマスクは、開口が形成されたシリコン薄膜を具備するステンシルマスクであって、前記シリコン薄膜の表面には不純物が導入されていることを特徴とする。

【0032】(13) 本発明に係わるステンシルマスクは、開口が形成された金属薄膜と、この金属薄膜の表面上に形成された半導体層とを具備してなることを特徴とする。

【0033】(14) 本発明に係わるステンシルマスクは、開口が形成された薄膜と、この薄膜の表面上に形成された複数層の被覆層とを具備してなることを特徴とする。

【0034】(15) 本発明に係わるステンシルマスクは、開口が形成されたシリコン薄膜を用いた、イオン注入工程に用いられるステンシルマスクであって、前記シリコン薄膜の表面上に絶縁層が形成されていることを特徴とする。

【0035】(16) 本発明に係わるステンシルマスクは、荷電粒子が通過する開口が設けられた遮蔽膜と、この遮蔽膜の前記荷電粒子の照射面上に形成されたレジスト膜とを具備してなることを特徴とする。

【0036】(17) 本発明に係わるステンシルマスクは、荷電粒子が通過する開口が設けられた薄膜を具備し、前記開口の深さは該開口の大きさに応じて異なることを特徴とする。

【0037】(18) 本発明に係わるステンシルマスクは、被処理基板に対して荷電粒子を選択照射するための開口が設けられた薄膜と、この薄膜の前記荷電粒子の照射面上に形成された絶縁層と、前記薄膜及び絶縁層上に形成され、該薄膜と導通する支持基板とを具備してなることを特徴とする。

【0038】(19) 本発明に係わるステンシルマスクの製造方法は、開口が形成されたシリコン薄膜の表面側に、不純物を注入する工程と、前記シリコン薄膜を加熱する工程とを含むことを特徴とする。

【0039】(20) 本発明に係わるステンシルマスクの製造方法は、支持基板、絶縁層及びシリコン薄膜が積層されたSOI基板のシリコン薄膜表面に不純物を注入する工程と、前記シリコン薄膜をバーニングし、底面

に前記絶縁層が露出する開口を形成する工程と、前記支持基板及び絶縁層の一部を除去して、開口の底面を露出させる工程とを含むことを特徴とする。

【0040】(21) 本発明に係わるステンシルマスクの製造方法は、シリコン基板の一方の面に不純物を導入する工程と、前記シリコン基板を加熱する工程と、前記シリコン基板の不純物が導入側された面と、支持基板上に形成された絶縁層とを張り合わせる工程と、前記シリコン基板を研削し、シリコン薄膜を形成する工程と、前記シリコン薄膜をパターニングし、前記絶縁層が露出する開口を形成する工程と、前記シリコン薄膜の表面に不純物を導入する工程と、前記シリコン薄膜を加熱する工程と、前記支持基板及び絶縁層の一部を除去して、前記開口の底面を露出させる工程とを含むことを特徴とする。

【0041】【作用】本発明は、上記構成によって以下の作用・効果を有する。シリコン薄膜の表面に不純物を導入することによって、導入された層がシリコンより硬くなり、イオン注入工程に複数回使用しても、変形しにくくなる。また、金属薄膜の表面に半導体層を被覆することで、変形しにくくなると共に、半導体装置への金属の混入を防止することができる。

【0042】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0043】【第1の実施形態】図1は、本発明の第1の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。図1(a)に示すように、所定の透過孔パターン形状の開口104を有するシリコン薄膜103を具備するステンシルマスクを用意する。なお、101はシリコン支持基板、102はシリコン酸化膜、103は膜厚5-20μmのシリコン薄膜である。次いで、図1(b)に示すように、イオン注入法を用いて、p型不純物、n型不純物、炭素、及び窒素等の不純物原子をシリコン薄膜の表面側に注入する。不純物原子の注入により、シリコン層の表面には損傷領域105が形成される。ここで、不純物が注入されるのは、マスクとして用いられる時、イオンが照射される面の方である。

【0044】なお、イオン注入工程で用いるステンシルマスクの場合、イオン注入工程時にシリコン薄膜にドープされるよりも深く分布するように、同一の導電型の、できれば同一の不純物イオン注入を行うことが好ましい。なお、イオン注入工程において、イオンが導入される深さは0.1-1μmなので、シリコン層に対して不純物原子の導入深さは0.1-1μm程度でよい。例えば、Pを1×10¹⁴cm⁻²以上の注入量で行う。

【0045】次いで、図1(c)に示すように、ステンシルマスクを550℃の温度で1時間程度加熱を行った後に、900-1000℃に10℃/分程度の昇温速度で昇温を行い、約30分から1時間程度加熱を行う。こ

の加熱処理により、損傷領域105が再結晶化し、不純物原子が導入されていないシリコンより硬い硬シリコン層106が形成される。

【0046】シリコン薄膜103の表面に、不純物(リン、炭素、及び窒素)をドープした後に、熱処理を行ったそれぞれのマスクの歪み量を図2に示す。図2において、不純物ドープ及び熱処理が行われていない従来のマスクの歪み量も同時に示す。

【0047】図2において、イオン注入の際のイオン注入量に対するマスクの歪み量を示している。図2に示すように、この硬化処理を行うことによって、歪みが生じる臨界イオン注入量を従来の1×10¹⁵cm⁻²から1-2桁以上大きくすることが可能である。

【0048】但し、酸素をドープして硬化層を形成した場合には、熱伝導率の低下により、マスクに蓄積した熱エネルギーは逃げにくくなるという問題が生じるので、注入電流密度を低めに設定したり、基板の冷却を強化したりする必要がある。

【0049】図3に示すように、以上の工程で形成されたステンシルマスクを用いて、素子分離絶縁領域302を形成したSi基板301に対して、離間して設置されたシリコン薄膜103の開口部を通してSi基板301に不純物イオン304を注入する際に、シリコン薄膜103に歪みが生じないため、開口部の位置が変位せず、イオン注入領域305は所望の領域全体に形成される。

【0050】また、ステンシルマスクを使用した後に、この熱処理を行うことによって、複数回のマスク歪み緩和を行って使用することも可能である。

【0051】なお、裏面側から不純物を導入された損傷領域405を形成した後(図4(a))、熱処理を行って不純物が導入された硬シリコン層406を形成して、両面に硬シリコン層106、406を形成しても良い(図4(b))。

【0052】また、図5(a)、(b)に示すように、斜めイオン注入を行って損傷領域504を形成する。その後、図5(c)に示すように、前述した加熱処理を行って開口104の側壁の硬シリコン層506を形成しても良い。側壁も硬化させた構造にすることで、ステンシルマスクの遮蔽部の表面だけを硬化したステンシルマスクよりも強度が高いステンシルマスクが形成されている。

【0053】【第2の実施形態】本実施形態では、第1の実施形態と異なるステンシルマスクの製造工程を説明する。図6は、本発明の第2の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。

【0054】図6(a)に示すように、シリコンからなる支持基板101上にシリコン酸化膜102を介して形成されたシリコン薄膜103をパターニングし、所定のパターンの開口104を形成する。この開口104の底面には、シリコン酸化膜102の表面が露出する。次い

で、図6 (b) に示すように、不純物原子をシリコン薄膜103の表面に注入し、損傷領域605を形成する。

【0055】次いで、図6 (c) に示すように、550℃の温度で1時間程度加熱を行った後に、900-1000℃に10℃/分程度の昇温速度で昇温を行い、約30分から1時間程度加熱を行うことで、損傷領域605を再結晶化させ、硬シリコン層606を形成する。

【0056】次いで、図6 (d) に示すように、シリコン支持基板101及びシリコン酸化膜102をエッティングし、開口104の底面を露出させる。ステンシルマスクとなるシリコン薄膜103の表面が硬化しているので、シリコン支持基板101及びシリコン酸化膜102のエッティング処理において、シリコン薄膜103が破損するのを低減できるため、より安価により薄いステンシルマスクをつくることができるようになる。また実際のイオン注入工程に用いるときにも、マスクの変形が低減される。

【0057】次いで、図6 (e) に示すように、支持基板101側から、不純物原子をシリコン薄膜103の表面に注入した後、550℃の温度で1時間程度加熱を行った後に、900-1000℃に10℃/分程度の昇温速度で昇温を行い、約30分から1時間程度加熱を行うことで、硬シリコン層106を形成する。以上の工程によりステンシルマスクが形成される。

【0058】上述したように、本実施形態によれば、支持基板及びシリコン酸化膜の除去を行う前に、シリコン薄膜の表面が硬くなっているので、シリコン薄膜の破損を低減することができる。

【0059】なお、本実施形態では、更にイオン注入側のシリコン薄膜の表面に硬シリコン層を形成したが、その形成を省略する事も可能である。

【0060】【第3の実施形態】本実施形態では、第1、2の実施形態と異なるステンシルマスクの製造工程を説明する。図7は、本発明の第3の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。

【0061】先ず、図7 (a) に示すように、シリコンからなる支持基板101上にシリコン酸化膜102を介して形成されたシリコン薄膜103の表面に不純物原子を注入し、損傷領域105を形成する。次いで、図7 (b) に示すように、550℃の温度で1時間程度加熱を行った後に、900-1000℃に10℃/分程度の昇温速度で昇温を行い、約30分から1時間程度加熱を行うことで、損傷領域105を再結晶化させ、硬シリコン層106を形成する。

【0062】次いで、図7 (c) に示すように、硬シリコン層106及びシリコン薄膜103をパターニングし、所定のパターンの開口104を形成する。開口104の底面には、シリコン酸化膜103が露出している。

【0063】次いで、図7 (d) に示すように、シリコン支持基板101及びシリコン酸化膜102をエッティング

し、開口104の底面を露出させる。ステンシルマスクとなるシリコン薄膜103の表面が硬化しているので、シリコン支持基板101及びシリコン酸化膜102のエッティング処理において、シリコン薄膜103が破損するのを低減できるため、より安価により薄いステンシルマスクをつくることができるようになる。また実際のイオン注入工程に用いるときにも、マスクの変形が低減される。

【0064】次いで、図7 (e) に示すように、支持基板101側から、不純物原子をシリコン薄膜103の表面に注入した後、550℃の温度で1時間程度加熱を行った後に、900-1000℃に10℃/分程度の昇温速度で昇温を行い、約30分から1時間程度加熱を行うことで、硬シリコン層106を形成する。以上の工程によりステンシルマスクが形成される。

【0065】上述したように、本実施形態によれば、支持基板及びシリコン酸化膜の除去を行う前に、シリコン薄膜の表面を硬くなっているので、シリコン薄膜の破損を低減することができる。

【0066】なお、本実施形態では、更にイオン注入側のシリコン薄膜の表面に硬シリコン層を形成したが、その形成を省略する事も可能である。

【0067】【第4の実施形態】図8、9を用いて、本実施形態のステンシルマスクの製造方法を説明する。図8、9は、本発明の第4の実施形態に係わるステンシルマスクの製造方法を示す工程断面図である。先ず、図8 (a) に示すように、イオン注入法を用いて、シリコン基板801の一方の面に不純物原子を注入する。不純物原子の注入により第1の損傷領域805が形成される。

【0068】次いで、図8 (b) に示すように、550℃の温度で1時間程度加熱を行った後に、900-1000℃に10℃/分程度の昇温速度で昇温を行い、約30分から1時間程度加熱を行うことで、第1の損傷領域705を再結晶化させて、不純物原子が導入された第1の硬シリコン層806を形成する。

【0069】次いで、図8 (c) に示すように、シリコン基板801の第1の硬シリコン層806と、シリコン支持基板101上に形成されたシリコン酸化膜102とを接着する。

【0070】次いで、図8 (d) に示すように、シリコン基板801を研削して、膜厚5-20μm程度のシリコン薄膜103を形成する。

【0071】次いで、図9 (e) に示すように、シリコン薄膜103をパターニングしてイオン注入用のパターンの開口104を形成する。次いで、図9 (f) に示すように、イオン注入法により、シリコン薄膜103の表面に不純物原子を注入する。不純物原子の注入によりシリコン薄膜103の表面に第2の損傷領域105が形成される。次いで、550℃の温度で1時間程度加熱を行った後に、900-1000℃に10℃/分程度の昇温

速度で昇温を行い、約30分から1時間程度加熱を行うことで、第2の損傷領域105を再結晶化させて、不純物原子が導入された硬シリコン層106を形成する。

【0072】次いで、図9(g)に示すように、シリコン支持基板101及びシリコン酸化膜102を除去することによってステンシルマスクが形成される。

【0073】なお、シリコン基板へのイオン注入深さを薄膜化させる厚み以上にしておくことで、シリコン薄膜全体を硬化させても良い。

【0074】【第5の実施形態】図10(a)は、本発明の第5の実施形態に係わるステンシルマスクの構成を示す断面図である。図10(a)に示すように、ステンシルマスク1000は、公知の製造方法で形成されたイオン注入用の開口パターン1004を有するシリコン薄膜103の表面がシリコン窒化膜(被覆層)1001で被覆されている。

【0075】図11に示すように、ステンシルマスク1000を半導体基板1101へのイオン注入工程に用いた場合、シリコン窒化膜1001の中に、遮蔽したイオンが蓄積されていく。イオン注入を行うことでステンシルマスクは変形していくが、この構造では、シリコン窒化膜1001に変形を促すダメージ及び不純物として注入されたイオンが蓄積されていく。

【0076】ここで、本発明の構造では、表面を被覆したシリコン窒化膜1001を内部のシリコン薄膜103から選択的に除去することでイオン注入工程によるダメージおよび注入された不純物を選択的に除去することができる(図10(b))。そして再度シリコン薄膜103にシリコン窒化膜1001を被覆することで、もとのステンシルマスクを再生し、元の図10(a)に示す状態にすることができる。

【0077】本実施形態によれば、シリコン薄膜の表面に、シリコンより硬いシリコン窒化膜が形成されているので、イオンビームが照射されても変形しにくくなる。また、イオン注入工程時にダメージが導入されたシリコン窒化膜を選択的に除去し、再びシリコン薄膜の表面に被覆することで再生することができる。

【0078】ここで、シリコン薄膜103を被覆するシリコン窒化膜1001の膜厚は、このステンシルマスクを用いるイオン注入工程において、遮蔽された注入イオンがシリコン窒化膜1001内にとどまる膜厚にすることが望ましく、イオンの加速エネルギー等に応じて決めればよい。

【0079】なお、シリコン窒化膜以外の絶縁体を用いることも可能である。しかし、半導体装置に対する汚染を防止する上で、シリコンを含む絶縁体であることが好ましい。

【0080】【第6の実施形態】図12は、本発明の第6の実施形態に係わるステンシルマスクの構成を示す断面図である。なお、図12において、図10と同一な部

位には同一符号を付し、その説明を省略する。本実施形態では、図12(a)に示すように、シリコン窒化膜1001の表面がタンゲステン1002で被覆されている。タンゲステン1002は導電性が高いため、イオン注入を行っている時に、遮蔽したイオンの電荷によってステンシルマスクが帶電するのを防ぐことができる。また、第5の実施形態と同様に、表面のタンゲステン1002はシリコン窒化膜1001から選択的に除去することができる(図12(b))。また、シリコン窒化膜1001を内部のシリコン薄膜103から選択的に除去することもできる(図12(c))。被覆膜を除去した後、第5の実施形態と同様にステンシルマスクを再生することができる。

【0081】本実施形態によれば、シリコン薄膜の表面に、シリコンより硬いシリコン窒化膜が形成されているので、変形しにくくなる。また、イオン注入工程時にダメージが導入されたシリコン窒化膜を選択的に除去し、再びシリコン薄膜の表面に被覆することで再生することができる。また、最表面に金属膜が被覆されていることで、イオンの電荷によってステンシルマスクが帶電するのを防止することができる。

【0082】ここで、被覆膜と内部のマスク材料の組み合わせはこれを限定しないが、電荷の蓄積を防ぐ目的から、一方が他方に比べて電気伝導性が高い事が望まれる。

【0083】【第7の実施形態】図13は、本発明の第7の実施形態に係わるステンシルマスクの構成を示す断面図である。図13に示すように、イオン注入用のパターンが形成された5~20μm程度のタンゲステン薄膜1201の表面が、窒化チタン1202及びシリコン層1203により被覆されている。タンゲステン薄膜は、前実施形態のシリコン薄膜の加工と同様に、光リソグラフィ技術と異方性エッチングとを用いた公知の技術で加工することができる。また、窒化チタン1202及びシリコン層1203は、CVD法等の公知の技術で形成することができる。窒化チタン1202は、タンゲステン薄膜1201とシリコン層1203の反応を防止する。

【0084】タンゲステン薄膜1201をコアとするステンシルマスク1200は、シリコンをコアとするものよりも、変形に対する強度が高められている。図14に示すように、ステンシルマスク1200を半導体基板1401へのイオン注入工程に用いた場合、タンゲステン薄膜1201の表面を覆うシリコン膜1203により、加速されたイオンでタンゲステン薄膜1201がスペッタリングされるのが防止され、半導体基板1401がタンゲステンで汚染されるのを防ぐ事ができる。

【0085】また、本実施形態の構造ではマスクの強度を高めると同時に、内部のタンゲステン薄膜1201の電気伝導性が高いのでイオン注入を行っている時に遮蔽したイオンの電荷によってステンシルマスクが帶電する

のを防ぐことができる。

【0086】本実施形態の場合、ステンシルマスクをイオン注入工程に何回か用いた後に、シリコン層をフッ素ラジカルなどで選択的にエッチング除去し、新たにシリコン層をCVD法で形成し、次のイオン注入に備えても良い。タングステン薄膜とシリコン層との間に窒化チタン膜が形成されていることで、Si膜の選択的な除去が容易となる。窒化チタン以外にSi酸化膜、Si窒化膜、SiC膜などを間に介在させても良い。

【0087】なお、Si膜には熱伝導性やチャージの流れをよくするために、n型またはp型不純物を添加した後、加熱しても良い。

【0088】タングステン以外に5-20μmよりも薄いステンシルマスクの加工をSiCやW、Mo、などSiよりヤング率が高い材料を用いても良い。なお、窒化チタン膜は必ずしも必要はなく、タングステン薄膜上に直接シリコン層を形成しても良い。

【0089】【第8の実施形態】次に、膜厚を制御して最表層を被覆することで、開口部の微細化を行う例を図15に示す。ここでは、シリコン薄膜103の表面に、シリコン酸化膜、シリコン窒化膜、SiC膜などを介して、ポリシリコン1301が形成されている。シリコン薄膜103の開口部の開口寸法aは、光リソグラフィー技術と異方性エッチング技術で実現される加工寸法である。更に、ポリシリコン1301の膜厚制御を行って成膜を行うことで、初めに開口した寸法よりも微細な開口部寸法bを実現することができる。本実施形態ではシリコンをポリシリコンで被覆する例を示したが、材質はこれに限定されない。

【0090】【第9の実施形態】本実施形態では、第5～第7の実施形態と同様に再生可能なステンシルマスクについて説明する。図16～図18を用いて、本発明の第9の実施形態に係わるステンシルマスクの製造方法及びステンシルマスクを用いた半導体装置の製造方法を説明する。

【0091】先ず、図16(a)に示すように、イオンビームが通過する開口1602が形成されたシリコン膜からなる遮蔽膜1601を備えるステンシルマスク1600を用意する。なお、遮蔽膜はシリコン薄膜で構成されている。次いで、図16(b)に示すように、ステンシルマスク1600のイオン照射面を上にして静電チャックあるいは真空チャックなどの台1603に固定する。ステンシルマスク1600のイオン照射面の全面に第1のレジスト1604を塗布形成する。このとき開口1602の中にも第1のレジスト1604が埋め込まれる。台1603とステンシルマスク1600の隙間に第1のレジスト1604が入り込むことも考えられるが、そのような状態になんでも問題はない。そして、通常の半導体装置の製造方法と同様にベーティングなどの処理をおこなう。

【0092】次いで、図16(c)に示すように、ステンシルマスク1600を台1603から取り外した後、イオン非照射面側から光あるいは電子ビームを照射して、第1のレジスト1604の露光を行う。そして、第1のレジスト1604の現像を行い、第1のレジスト1604に開口を形成する。

【0093】この露光では、遮蔽膜1601を具備するステンシルマスク1600が露光のマスクとなるので、開口1602の中と開口1602の上面に位置していた第1のレジスト1604が除去される。開口1602が0.1ミクロンのような微細なパターンにおける露光を光で行うと、光の波長に近い領域で露光することになり、光の波動性によるパターン崩れが起きる可能性がある。よって、望ましくは開口1602の大きさに対して十分に波長の短い電子ビームで露光することがより望ましい。また、一度の露光で開口1602内の第1のレジスト1604を全て除去出来ない場合は、露光と現像を複数回繰り返せばよい。

【0094】なお、露光技術を用いずに開口1602内の第1のレジスト1604を除去することも可能である。裏面より酸素プラズマによるRIEを行うことで、上記露光による方法と同様に開口1602内の第1のレジスト1604が除去される。このRIEにおけるエッチングマスクは、ステンシルマスク1600を構成するシリコンで構成された遮蔽膜1601であるが、シリコンは酸素プラズマに対してほとんどエッチングされないため、遮蔽膜1601にほとんどダメージを与えることはないので問題はない。

【0095】次いで、図17(d)に示すように、イオンビーム照射面に第1のレジスト1604が形成されたステンシルマスク1600を介して、半導体基板1606に対してイオンビーム1605を照射し、半導体基板1606にイオンビームを選択照射する。イオンビーム1605が照射されることで第1のレジスト1604に不純物として注入されたイオンが蓄積していく。なお、このステンシルマスクを用いて1回以上イオンビーム照射を行う。

【0096】次いで、第1のレジスト1604にイオンが蓄積された後、図17(e)に示すように、ステンシルマスク1600の上面を被覆する第1のレジスト1604を酸素プラズマなどで灰化して選択除去する。第1のレジスト1604を選択除去することにより、イオン注入工程によるダメージおよび注入された不純物を除去することができる。

【0097】次いで、図17(f)に示すように、先ほど説明した工程を用いて、ステンシルマスク1600のイオン照射面に第2のレジスト1607を形成する。

【0098】そして、図18(g)に示すように、第2のレジスト1607が形成されたステンシルマスク1600を用いてイオン注入を行う。

【0099】以上の説明では、ステンシルマスクへのレジストの形成・除去を2回行っているが、2回に限定されるものではなく、何回でもレジストの形成・除去を行うことができる。

【0100】以上説明した半導体装置の製造工程を用いると、ステンシルマスクが歪むことなく何度でもイオン注入工程を行うことができる。

【0101】以上、ステンシルマスクを形成する工程を行う装置群、すなわちレジスト塗布装置と、裏面を露光する装置あるいは裏面を酸素プラズマでRIEを行う装置と、現像装置とをステンシルマスクイオン注入装置内に納めて、さらにレジストを剥離する装置、具体的には酸素プラズマなどを用いたレジスト灰化装置やレジストを溶解する薬液処理装置もステンシルマスクイオン注入装置に納める。このようにして、ステンシルイオン注入を行う時に、2枚以上のステンシルマスクを用意し、片方の1枚がステンシルイオン注入を行っているときは、もう片方のステンシルマスクは不純物がイオン注入されて劣化したレジストの剥離を行って、再度上述の方法によってレジストを成膜しておく。そして、不純物がイオン注入されてレジストが劣化してたら、あらかじめ準備していたもう片方のステンシルマスクでイオン注入を行う。これによって、ステンシルイオン注入工程は休むことなく行うことが出来るようになる。

【0102】【第10の実施形態】従来、ステンシルマスクはSOI基板を用いて形成されていた。SOI基板は、SOI基板はバルクのシリコンウェハに比べて高価である。その結果、ステンシルマスクの製造コストを引き上げていた。本実施形態では、バルクのシリコンウェハを用いてステンシルマスクを形成し、ステンシルマスクの製造コストを引き下げることができるステンシルマスクの製造方法を説明する。

【0103】図19に示す工程断面図を用いて、本発明の第10の実施形態に係わるステンシルマスクの製造方法を説明する。

【0104】図19(a)に示すように、ステンシルマスクの支持部となるシリコン基板1901を用意する。次いで、図19(b)に示すように、後にステンシルマスクの開口部のパターン加工を行う時と裏面の支持部を開口する時のストッパーとなるSiO₂膜1902を成膜する。

【0105】ついで、図19(c)に示すように、SiO₂膜1902の上に薄膜部材料としてアモルファスシリコン1903を所望の厚さ堆積する。次いで、図19(d)に示すように、アモルファスシリコン1903にSiO₂膜1902が露出する開口1904を形成する。後に開口1904をイオンビームが通過する。

【0106】次いで、図19(e)に示すように、シリコン基板1901の裏面にマスク1905を形成した後、シリコン基板1901をエッチングしてSiO₂膜

1902を露出させる。次いで、図19(f)に示すように、マスク1905を除去した後、露出するSiO₂膜をエッチングする。

【0107】このようにして作製されたステンシルマスクは、SOI基板を用いるよりも安価にステンシルマスクを製造することができる。ここで支持部となる基板、ストッパー膜、薄膜部材料としてシリコン基板1901、SiO₂膜1902、アモルファスシリコン1903の組み合わせを用いて説明したが、組み合わせはこれに限定しない。パターンを開口する工程(図19(d))と裏面エッチング工程(図19(e), (f))においてマスクと選択性があり、薄膜部のパターン形成能が確保される組み合わせであれば良い。

【0108】【第11の実施形態】ステンシルマスクの強度を上げることで、耐久性を向上させて、寿命を向上させることができる。ステンシルマスクの強度を高める為に膜厚を厚くするという方法がある。しかしながら、ステンシルマスクは通常SOI基板を用いて作られるために、膜厚が単一の膜厚に限定される。一方でステンシルマスクの微細加工の精度は加工する膜の材質と膜厚に依存し、一般にアスペクト比と呼ばれる開口寸法と深さ方向の比に依存する。そのため、シリコン単結晶からなるSOI基板を用いたステンシルマスクでは、微細加工の要請から、膜厚が限定されてしまいマスク強度が不十分になる。

【0109】そこで、本実施形態では、イオンビームが通過する開口の大きさに応じて周囲のシリコン膜の膜厚を変化させて、微細加工と強度向上を両立させることができるステンシルマスクの製造方法を説明する。なお、開口の大きさに応じて周囲のシリコン膜の膜厚を変化させるという事は、開口部の深さを変えると言い換えることができる。

【0110】図20は、本発明の第11の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。先ず、図20(a)に示すように、バルクのシリコン基板2001を用意する。シリコン基板2001に対して、ステンシルマスクの薄膜部のなかで膜厚を厚くしたい領域に開口を有するレジスト2002を形成する。次いで、図20(b)に示すように、レジスト2002をマスクにシリコン基板2001を選択エッチングし、シリコン基板2001に凹部2003を形成する。エッチングの方法としては、膜厚を厚くする領域と、膜厚が相対的に薄い領域の境界の幅に応じて、薬液処理やCDE法による等方的なエッチング、RIEによる異方性エッチングのいずれを用いても構わない。このときエッチングした深さが、遮蔽膜の膜厚差となる。

【0111】次いで、図20(c)に示すように、レジスト2002を除去した後、シリコン基板上にシリコン酸化膜等のストッパー膜2004を形成する。次いで、図20(d)に示すように、ストッパー膜2004上に

薄膜部材料2005を成膜する。

【0112】次いで、図20(e)に示すように、CMPなどの平坦化技術を用いて、薄膜部材料2005の表面を平坦化するとともに薄膜部材料2005の厚さを所望の厚さにする。なお、CMPを行う前に高温の熱処理で表面を溶融させて表面の平坦性を向上させてCMP工程をより安定に行える様にしても構わない。

【0113】次いで、図20(f)に示すように、通常のステンシルマスクと同様のパターン加工工程と裏面エッチングによる薄膜化を行う。以上の工程で、大きさに応じて深さが異なる開口を有するステンシルマスクが製造できる。

【0114】以上説明したように、微細加工が必要な小さい開口では深さを浅くし、微細加工が不要な他の領域では深さを深くする事で、微細加工の加工精度とマスク強度を両立させたステンシルマスクを製造できる。バルクのシリコン基板から形成されるので、ステンシルマスクの製造コストを引き下げることができる。

【0115】このステンシルマスクを用いた半導体装置の製造工程を図21に示す。図21に示すように、ステンシルマスクを介して半導体基板2101に対してイオンビーム2102を照射することによって、開口2006の下方にイオン注入領域2103を形成することができる。

【0116】上述したようにステンシルマスクの耐久性が高く、製造コストが低い。従って、ステンシルマスクを半導体装置の製造工程に適用することによって、半導体装置の製造コストを下げることができる。

【0117】【第12の実施形態】大きさに応じて開口の深さが異なるステンシルマスクを製造する方法を、図22を用いて説明する。図22は、本発明の第12の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。

【0118】先ず、図22(a)に示すように、基板となるシリコン基板2201上にシリコン酸化膜2202を成膜する。次に、ステンシルマスクの薄膜部のなかで膜厚を厚くしたい領域に開口部を有するレジスト2203をシリコン酸化膜2202上に形成する。次いで、図22(b)に示すように、レジスト2203をマスクにシリコン酸化膜2202を選択エッチングし、シリコン基板2201が露出する開口2204を形成する。そして、レジスト2203を選択除去する。

【0119】次いで、図20(c)に示すように、開口2204に露出するシリコン基板2201表面に選択的に単結晶シリコン膜2205をエピタキシャル成長させる。単結晶シリコン膜2205の膜厚が、膜厚差となる。従って、必要な膜厚(膜厚差)になるまで、単結晶シリコン膜2205を成長させる。

【0120】次いで、図22(d)に示すように、シリコン酸化膜2202を選択除去した後、シリコン基板2

201及び単結晶シリコン膜2205の表面にストッパー膜2206を成膜する。なお、ストッパー膜2206を成膜する前にシリコン酸化膜2202を除去しなくても良い。次に、シリコン酸化膜等のストッパー膜2206上に薄膜部材料2207を成膜する。

【0121】次いで、図22(e)に示すように、CMPなどの平坦化技術を用いて、薄膜部材料2207表面を平坦化するとともに薄膜部材料2207の厚さを所望の厚さにする。次いで、図22(f)に示すように、通常のステンシルマスクと同様のパターン加工と裏面エッチングによる薄膜化を行うと、薄膜部材料2207の膜厚が複数の膜厚を持ち、大きさに応じて開口の深さが異なるステンシルマスクが製造できる。

【0122】以上説明したように、微細加工が必要な小さい開口では深さを浅くし、微細加工が不要な他の領域では深さを深くする事で、微細加工の加工精度とマスク強度を両立させたステンシルマスクを製造できる。また、バルクのシリコンウェハから形成されるので、ステンシルマスクの製造コストを引き下げることができる。

【0123】第11の実施形態と同様に、ステンシルマスクを半導体装置の製造工程に適用することによって、半導体装置の製造コストを下げることができる。

【0124】【第13の実施形態】大きさに応じて開口の深さが異なるステンシルマスクを製造する方法を、図23を用いて説明する。図23は、本発明の第13の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。

【0125】先ず、図23(a)に示すように、ステンシルマスクを製造するための基板材料として、バルクの単結晶シリコン基板2301を用意する。次いで、図23(b)に示すように、シリコン基板2301に薄膜部のなかで相対的に薄膜化したい領域に、マスク2302を形成する。マスク2302は、例えばレジスト膜をマスクに用いてシリコン薄膜を選択的にエピタキシャル成長させることで、形成することができる。このマスク2302は、後に酸素イオン注入の時に酸素イオンを減速するために形成される。

【0126】次いで、図23(c)に示すように、マスク2302が形成された状態で、酸素イオンを所望のエネルギーで面内で均一に注入してエッチングストッパー2303を形成し、シリコン基板2301をシリコン薄膜部2305と支持基板部2304とに分ける。マスク2302の形成領域のエッチングストッパー2303は、形成されていない領域に比べて浅く形成され、シリコン薄膜部2305の膜厚が他の領域に比べて薄くなる。

【0127】次いで、図23(d)に示すように、シリコン薄膜部2305表面に形成されたマスク2302をCMP法等を用いて除去する。

【0128】次いで、図23(e)に示すように、従来と同様な工程により、シリコン薄膜部の所定領域にエッ

チングトップ2303が露出する開口2306を形成した後、不要な領域の支持基板部2304及びエッティングトップ2303を除去しステンシルマスクを形成する。

【0129】以上説明した工程により、シリコン薄膜部2305の厚さが異なり、大きさに応じて開口2306の深さが異なるステンシルマスクを製造する事ができる。微細加工が必要な領域に対して膜厚を薄くすることで、マスク全体の強度を保ちながらより微細な加工が施されたステンシルマスクを製造する事が可能になる。また、バルクのシリコン基板2301から形成されるので、ステンシルマスクの製造コストを引き下げる事ができる。

【0130】第11の実施形態と同様に、ステンシルマスクを半導体装置の製造工程に適用することによって、半導体装置の製造コストを下げる事ができる。

【0131】なお、必要に応じて、酸素イオンの注入が行われた後で、熱処理を行って、膜中にできた欠陥を回復してもよい。またイオン注入の後或いはイオン注入と熱処理の後、エピタキシャル成長などの手法を用いてシリコン薄膜部2305の膜厚を増やしてよい。

【0132】【第14の実施形態】イオン注入工程においてステンシルマスクに遮蔽されたイオンの電荷がステンシルマスク上に蓄積されると、非処理基板とステンシルマスクの間で放電現象が起こる、あるいはステンシルマスクが非処理基板に静電力で引き付けられてマスクが変形するといった問題が生じる。変形したステンシルマスクを用いると、パターン形成能が低下するので、製造された半導体装置の良品率が低下し、結果として半導体装置の製造コストを引き上げる。

【0133】イオン注入時、薄膜側を下にした状態で行い、薄膜と半導体基板との間隔は $100\mu\text{m}$ オーダーであるため、薄膜を接地して電荷を逃すことは困難である。

【0134】本実施形態では、ステンシルマスクから効率よく電荷を逃がす事ができるステンシルマスクについて説明する。

【0135】図24は、本発明の第14の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。先ず、図24(a)に示すように、バルクのシリコン基板2401を用意する。次いで、図24(b)に示すように、シリコン基板2401上に注入イオンを遮断する領域に遮蔽材2402を設置する。この時、ステンシルマスクの薄膜部が形成される領域には必ず注入イオンが形成されるように、遮蔽材2402を設置する。イオンを注入する領域は、裏面のエッティング工程のプロセス余裕を持たせるために裏面エッティングで開口する領域よりも $100\mu\text{m}$ から 10mm 程度広い領域にイオン注入を行う事が望ましい。遮蔽材としては、リソグラフィー技術を用いて形成された厚いレジストマスクでも良い

し、或いは所望の領域が開口したガラスマスクやシリコンマスク等をあらかじめ作っておいてこれを使用しても良い。

【0136】次いで、図24(c)に示すように、シリコン基板2401に対して酸素イオンを注入することで、薄膜部となる領域にはエッティングトップとなる酸化膜2403が形成され、シリコン基板2401をシリコン薄膜部2405と支持基板部2304とに分ける。遮蔽材2402下のシリコン基板2401には酸素イオンが注入されないので、シリコン薄膜部2405と支持基板部2404とが電気的に導通している。

【0137】次いで、図24(d)に示すように、シリコン薄膜部2405上から遮蔽材2402を除去する。次いで、図24(e)に示すように、通常のステンシルマスクと同様に、開口2406を形成した後、裏面エッティングによる薄膜化を行う。

【0138】以上説明したようにステンシルマスクのシリコン薄膜部2405と支持基板部2404との間の電気伝導性が高いステンシルマスクが製造できる。また必要に応じて、イオン注入が行われた後で、熱処理を行って、膜中にできた欠陥を回復してもよい。またイオン注入の後或いはイオン注入と熱処理の後、エピタキシャル成長などの手法を用いてシリコン薄膜部2405の膜厚を増やしてよい。

【0139】このステンシルマスクを用いた半導体装置の製造工程を図25に示す。図25に示すように、半導体基板2501上に、リング状の静電チャック器2502により固定されたステンシルマスク2400が配置されている。静電チャック器2502は接地され、支持基板部2404と静電チャック器2502とは導通している。

【0140】イオンビーム2503をステンシルマスク2400を介して半導体基板2501に照射することによって、開口2406の下方にイオン注入領域2504を形成することができる。この時、ステンシルマスク2400のシリコン薄膜部2405と支持基板部2404と静電チャック器とは電気的に接続され、且つ静電チャック器2502は接地されているので、ステンシルマスク2400の電荷を効率よく逃がすことができる。その結果、ステンシルマスク2400のシリコン薄膜部2405の変形による、パターン形成能の低下を抑制することができる。その結果、製造された半導体装置の良品率の低下を防ぎ、半導体装置の製造コストの上昇を抑えることができる。

【0141】【第15の実施形態】本実施形態では、支持部と薄膜部との間の電気伝導性と熱伝導性を高めたステンシルマスクの製造方法を図26を用いて説明する。図26は、本発明の第15の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。

【0142】先ず、図26(a)に示すように、バルク

のシリコン基板 2601 を用意する。次いで、図 26 (b) に示すように、シリコン基板 2601 にシリコン酸化膜 2602 を成膜する。次いで、図 26 (c) に示すように、ステンシルマスク製造後に支持部によって隠される領域を除いた領域にレジスト 2603 を形成する。次いで、レジスト 2603 をマスクにシリコン酸化膜 2602 を選択除去する。シリコン酸化膜 2602 の除去は、フッ酸 (HF) 系の薬液処理によって酸化膜を除去する、あるいは CDE 法を用いてガス系で酸化膜を除去する方法などが一般的に考えられるが、いずれの手法でも構わない。

【0143】次いで、図 26 (e) に示すように、レジスト 2603 を選択除去する。次いで、図 26 (f) に示すように、シリコン基板 2601 及びシリコン酸化膜 2602 上に、薄膜部となるシリコン薄膜 2604 を成膜する。次いで、図 26 (g) に示すように、通常のステンシルマスクと同様、シリコン薄膜 2604 に開口 2605 を形成した後、裏面エッティングによる薄膜化を行う。

【0144】以上説明した製造工程を用いることによって、支持部と薄膜部の間の電気伝導性と熱伝導性が高いステンシルマスクを製造できる。

【0145】第 14 の実施形態と同様に、ステンシルマスクを半導体装置の製造工程に適用することによって、半導体装置の製造コストを下げることができる。

【0146】【第 16 の実施形態】本実施形態では、支持部と薄膜部の間の電気伝導性と熱伝導性を高めると共に、ステンシルマスクの薄膜部の材料を二層構造にしたマスク製造方法を図 27 を用いて説明する。図 27 は、本発明の第 16 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。

【0147】先ず、第 15 の実施形態において図 26 (a) ~ 図 26 (e) 用いて説明した一連の工程と同様な工程を経て、図 27 (a) に示すように、シリコン基板 2701 上に一部が開口したシリコン酸化膜 2702 を形成する。

【0148】次いで、図 27 (b) に示すように、シリコン基板 2701 及びシリコン酸化膜 2702 上に金属材料 2703 及びシリコン薄膜 2704 を順次成膜する。次いで、図 27 (c) に示すように、シリコン薄膜 2704 上に開口を有するレジスト 2705 を形成した後、RIE 等の異方性エッティングによりシリコン薄膜 2704 を選択エッティングして、金属材料 2703 が露出する開口 2706 を形成する。

【0149】次いで、図 27 (d) に示すように、熱処理を加えることで、金属材料 2703 とシリコン薄膜 2704 とを反応させてサリサイド 2707 を形成する。この時、開口 2706 が形成された領域の金属材料 2703 は、シリコン薄膜 2704 と反応することがないのと、そのまま残る。

【0150】次いで、図 27 (e) に示すように、残っている金属材料 2703 を選択エッティングする。サリサイド・プロセスを行うことで、シリコン薄膜 2704 下のサリサイド 2707 に対して、開口 2706 形成領域の未反応の金属材料 2703 を選択的除去する事が可能である。

【0151】また金属材料 2703 とシリコン薄膜 2704 を反応させてサリサイド化を行う場合には、シリコン薄膜 2704 を堆積する前に金属膜中に不純物を導入しておくことが望ましい。金属中に不純物を導入しておくことで、サリサイド化反応の時の体積変化にともなう応力発生を緩和することができる。

【0152】サリサイド化の工程は必ずしも行う必要はなく、開口部に露出するの金属材料 2703 を硫酸などの金属を溶解する薬液を用いて直接除去しても良い。ただし、この場合には、遮蔽部の金属膜が膜厚相当分横方向に後退する。例えば金属材料 2703 が 100 nm 成膜された状態で、膜厚の 50% のマージンをもって、開口 2706 領域の金属材料 2703 を除去した場合 300 nm 以上の幅を持つシリコン薄膜 2704 下では金属材料 2703 が残り、それ以下の幅のシリコン薄膜 2704 下では金属材料 2703 がない状態となる。

【0153】次いで、図 27 (f) に示すように、通常のステンシルマスクと同様、裏面エッティングによる薄膜化を行う事で、マスク表面にサリサイド 2707 を有したステンシルマスクを製造できる。

【0154】このステンシルマスクをイオン注入に用いる場合に、表面から金属材料がスパッタされて被処理基板を汚染する事が問題となる場合には、シリコン等の被処理基板を汚染しない材料を金属表面に成膜することでこの問題を解決する事が可能である。

【0155】このステンシルマスクは、金属材料を有することで、高い電気伝導性と熱伝導性を有している。また、金属材料を有することで、シリコン単体で薄膜部を形成した時に比べてたわみ強度が強くなっている。たわみ強度向上に応じて開口パターンを形成する薄膜部のシリコンをより薄くできる為、微細加工の加工精度を高める事ができる。

【0156】第 14 の実施形態と同様に、ステンシルマスクを半導体装置の製造工程に適用することによって、半導体装置の製造コストを下げることができる。

【0157】【第 17 の実施形態】本実施形態では、支持部と薄膜部の間の電気伝導性と熱伝導性を高めると共に、ステンシルマスクの薄膜部の材料を三層構造にしたステンシルマスクの製造方法を図 28 を用いて説明する。図 28 は、本発明の第 17 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図である。

【0158】先ず、第 15 の実施形態において図 26 (a) ~ 図 26 (e) 用いて説明した一連の工程と同様な工程を経て、図 28 (a) に示すように、シリコン基

板2801上にシリコン酸化膜2802を形成する。

【0169】次いで、図28（b）に示すように、第一の薄膜材料としてアモルファスシリコン膜2803、第2の薄膜材料として金属材料2804、及び第3の薄膜材料としてシリコン膜2805を順次成膜する。

【0160】次いで、図28（c）に示すように、リソグラフィ技術を用いて開口を有するレジスト2806を形成した後、RIE等の異方性エッティングによりシリコン膜2805を選択エッティングし、金属材料2804が露出する開口2807を形成する。

【0161】次いで、図28（c）に示すように、硫酸などの金属を溶解する薬液を用いて、開口部に露出する金属材料2804を除去する。次いで、図28（d）に示すように、異方性エッティングを用いてアモルファスシリコン膜2803を選択除去する。このとき既にパターン形成されたシリコン膜2805が同様にエッティングされていくので、アモルファスシリコン膜2803に比べてシリコン膜2805が十分に厚い事が望ましい。

【0162】次いで、図28（f）に示すように、通常のステンシルマスクと同様、裏面エッティングによる薄膜化を行う事で、マスク最表面にシリコン膜2805を有し、且つ金属材料2804を有するステンシルマスクを製造できる。

【0163】このステンシルマスクは、また、金属材料2804を有することで、シリコン単体で薄膜部を形成した時に比べてたわみ強度が強くなっている。たわみ強度向上に応じて開口パターンを形成する薄膜部のシリコンをより薄くできる為、微細加工の加工精度を高める事ができる。

【0164】第14の実施形態と同様に、ステンシルマスクを半導体装置の製造工程に適用することによって、半導体装置の製造コストを下げる事ができる。さらにステンシルマスクは、マスク表面にシリコン膜2805が形成されているので、このステンシルマスクを使った時に半導体基板が金属汚染される事を防ぎ、かつ金属材料を有することで、高い電気伝導性と熱伝導性を有している。

【0165】【第18の実施形態】イオン注入などの荷電粒子を用いた半導体製造工程においては、ウエハ上に電荷が蓄積され半導体素子を破壊するという問題があつた。この問題を解決する目的で、2次電子あるいはプラズマ電子を発生させ、これにより電荷を中和する機構を持たせた装置構成が一般に知られている。しかし、この中和機構はウエハの状態や荷電粒子の状態、あるいは真空度などの装置内の状態に依存して中和量が変化する。そのため、中和量の不足で、あるいは逆に過剰の電子供給で負に帯電して、半導体素子を破壊する事もあり問題であった。また、この様な機構を組み込むことで、装置が複雑になるという問題もあった。

【0166】図29は、本発明の第18の実施形態に係

わるステンシルマスクを用いたイオン注入工程を示す図である。

【0167】図29に示すように、荷電粒子が注入される半導体基板2901上に、シリコンで形成され、イオニビーム2904が通過する開口2903を有したステンシルマスク2902が配置されている。半導体基板2901とステンシルマスク2902とが一定の電位差になるように電気的に結線されている。必要に応じて半導体基板2901とステンシルマスク2902の電位差は、電源2905を用いて-20V乃至+20Vの間で任意の値に制御する。-20V乃至+20Vの範囲外では、ステンシルマスクと半導体基板とがクーロン力により接触することがある。

【0168】電源2905により半導体基板2901とステンシルマスク2902との電位差を0Vに調整して半導体基板2901にイオン注入を行った後、半導体基板2901の残留電荷量を測定した結果を図30に示す。ここでは、加速エネルギーを変化させて、燐イオン（P⁺）をSi基板上に成膜した酸化シリコン膜（SiO₂）に注入している。図30において、“マスク無”は、半導体基板2901-ステンシルマスク2902間の電位差を制御せずにイオン注入した場合の測定結果で、“マスク有”は、被処理基板とステンシルマスクの距離を100μmにして電位差を0Vにしてイオン注入を行った場合の結果を示している。図30に示すように、半導体基板2901-ステンシルマスク2902間の電位差を制御することで半導体基板2901上に残った残留電荷が減少していることがわかる。

【0169】また、半導体基板2901とステンシルマスク2902との距離を150μm、電位差を0.1Vにして残留電荷を測定した結果を図31に示す。なお、Si基板上に成膜した酸化シリコン膜（SiO₂）にステンシルマスクを介して燐イオン（P⁺）を加速電圧50keVでイオン注入を行っている。

【0170】図30、31に示すように、50keV程度の低い加速エネルギーでイオン注入を行った場合、半導体基板2901-ステンシルマスク2902間の電位差を制御することで残留電荷が2桁程度減少している。また他のエネルギー条件においても、残留電荷量は0に近づき、またエネルギー依存性も無くなっている。

【0171】また、図31に示すように、電位差0.1Vで制御した場合、残留電荷量を $1 \times 10^{10} / \text{cm}^2$ で制御することが十分に可能である。半導体基板2901-ステンシルマスク2902間の電位差を制御すると共に、半導体基板2901-ステンシルマスク2902間の距離を制御しても残留電荷量の制御を行うことができる。

【0172】ステンシルマスク2902と被処理基板2901との距離を100～400μmの領域で変化させた場合に、残留電荷量を測定した結果を図32に示す。

なお、被処理基板とステンシルマスクの電位差は0Vに制御されている。その他のイオン注入の条件は同じである。

【0173】図32は、残留電荷量の半導体基板2901-ステンシルマスク2902間の距離依存性を示す特性図である。図32に示す結果から、半導体基板2901-ステンシルマスク2902間の距離を変化させることで残留電荷を制御することができることが分かる。また残留電荷の距離依存性から、半導体基板2901-ステンシルマスク2902間の距離を100μmに設定すれば、残留電荷量を $5 \times 10^{10} / \text{cm}^2$ に制御することが十分に可能であることがわかる。

【0174】次に、半導体基板2901-ステンシルマスク2902間の距離及び電位差の両方を変化させた場合の被処理基板の残留電荷量を測定した。半導体基板2901とステンシルマスク2902の電位差は-4Vから+10V変化させ、半導体基板2901とステンシルマスク2902との間の距離を150μmから400μmに変化させている。その他のイオン注入の条件は同じである。測定結果を図33に示す。図33は、残留電荷量の半導体基板2901-ステンシルマスク2902間の電位差及び距離依存性を示す特性図である。図33に示す結果から、電位差と距離を同時に制御させることで残留電荷量を制御することができることが分かる。

【0175】なお、電源2905を省いて、図34に示すように、直接ステンシルマスク2902と半導体基板2901とを接続された装置の外壁に電気的に接続しても良い。この場合、ステンシルマスク2902と半導体基板2901を安定的に同電位(0V)にでき、さらに装置外壁との電位差を一定にできるので、より安定的にかつ簡単に帶電量を制御することができるようになる。

【0176】また、装置外壁またはグランドを基準とした被処理基板及びステンシルマスクの電位を個別に制御する例を図35に示す。イオンビーム3503の照射時、装置外壁(またはグランド)とステンシルマスク3502の電位は電源3504によって、装置外壁と半導体基板3501の電位は電源3505によって個別に制御できるので、より安定的に帶電量を制御することができるようになる。

【0177】【第19の実施形態】本実施形態では、面内のイオン及び中性粒子を含む全粒子の面内分布を均一にして、半導体基板に対してイオンビームの照射を行う半導体装置の製造方法について説明する。

【0178】半導体装置の製造方法の説明に先立ち、半導体装置製造装置の構成について図36を用いて説明する。図36は、本発明の第19の実施形態に係わる半導体装置製造装置の概略構成を示す図である。

【0179】図36に示すように、イオン源3601で生成され所望のエネルギーに加速されてかつ質量・エネルギー分析されて取り出されたイオンビーム3602

は、スキャナー3603とマグネット3604を通過して、所望の広さを持った平行イオンビーム3605として成形され、内部に設置された半導体基板3608にイオン注入を行うエンドステーション部3606に導入される。

【0180】ここで、蛍光板付きMCPとCCDカメラから構成される粒子量計測器3607が、半導体基板3608に対する照射位置の直下に設置してある。XYステージ3610上に設置された半導体基板3608とステンシルマスク3609を照射位置から退避させた状態で平行イオンビーム3605を導入することで、半導体基板3608に照射される粒子量の空間分布が測定できる。また、サイドファラデー等のビーム電流を測定するビーム電流測定器3611が設けられている。

【0181】粒子量計測器3607の構成を図37を参照して説明する。図37に示すように、平行イオンビーム3605の下流側に、測定面に衝突する荷電粒子、中性粒子及び光子等の粒子の量及び位置に応じた2次電子3704を生成し、生成された2次電子3705を増幅して、背面側から2次電子3706を出力する粒子増幅検出器3701が設けられている。粒子増幅検出器3701としはマルチチャンネルプレートやマルチスフィアプレートを用いる。粒子増幅検出器3701から出力された2次電子の下流側に蛍光板3702が設けられている。2次電子の衝突により蛍光板3702が発した光3707の強度分布を検出するCCDカメラ3703が設けられている。

【0182】この計測器3607は、粒子の量及び衝突位置に応じて生成・増幅された2次電子の量に応じた蛍光の光強度分布を測定することによって、イオンビーム中に含まれる粒子量の2次元分布を測定することが可能となっている。なお、蛍光板3702及びCCDカメラ3703の代わりに、粒子増幅検出器3701の背面側に感光フィルムを接続し、粒子増幅検出器3701から出力された2次電子により感光フィルムを感光させた後、感光フィルムを現像して粒子増幅検出器3701に入射した全粒子量の分布を測定することも可能である。

【0183】粒子増幅検出器としてマルチチャンネルプレートやマルチスフィアプレートを用いていることにより、中性粒子の分布も測定することが可能となる。従つて、半導体基板に作用する粒子量をより正確に測定することができる。

【0184】また、ステンシルマスクとXYステージを用いてイオンの飛来する領域をチップサイズに制限することで、測定が必要な領域を制限することが可能になり、粒子量計測器3607を容易に設置できるようになる。なお、この実施形態では、半導体基板を移動させるXYステージ3610の下に粒子量計測器3607を設置しているが、粒子量計測器3607を可動にして、測定を行った後、基板処理時に粒子量計測器3607を退

避させても構わない。

【0185】以上説明した計測器を用いた半導体装置の製造方法について説明する。図38は、本発明の第19の実施形態に係わる半導体装置の製造工程を説明するためのフローチャートである。

【0186】(ステップS101)先ず、半導体基板をエンドステーション部3606に搬入する。半導体基板3608をエンドステーション部3606内で平行イオンビーム3605が照射されることがない待避位置に待避させておく。ステンシルマスク3609も待避位置に待避させておく。平行イオンビーム3605の調整は、半導体基板3608に平行イオンビーム3605を照射する直前に行なうことが好ましい。よって、予め半導体基板3608をエンドステーション部3606内に搬入し、平行イオンビーム3605の照射位置から待避させておく。

【0187】(ステップS102)次いで、粒子量計測器3607の測定面に対して平行イオンビーム3605を照射する。

【0188】(ステップS103)粒子量計測器3607により平行イオンビーム3605に含まれるイオン及び中性粒子の全粒子量の面内分布を求める。

【0189】(ステップS104)求められた全粒子量の面内分布が均一になるように、イオン源3601、スキャナー3603、及びマグネット3604を調整する。

【0190】(ステップS105)シャッターでイオンビームを遮蔽する、或いは一旦イオンビームの照射を中止して、被処理基板に対してイオンビームが照射されないようにした後、XYステージ3610により半導体基板3608及びステンシルマスク3609をイオンビーム照射位置に移動させる。

【0191】(ステップS106)ステンシルマスク3609を用いて半導体基板3608に対して平行イオンビーム3605を選択照射し、半導体基板3608に不純物を導入する。

【0192】以上説明した半導体装置の製造方法では、イオン及び中性粒子の全粒子量の面内分布を測定し、測定された面内分布が均一になるようにイオン源3601、スキャナー3603、及びマグネット3604を調整してから、半導体基板3608に平行イオンビーム3605を照射することによって、半導体基板3608に導入される不純物の面内分布を均一にすることができます。

【0193】(第20の実施形態)半導体製造におけるイオン注入工程では、不純物導入量(注入量)のばらつきにより半導体素子の電気特性がばらつくことになるが、被処理基板に注入される不純物の量をより正確に計測する必要がある。

【0194】第19の実施形態で説明した粒子量計測器3

607とビーム電流測定器3611と組み合わせて用いると、半導体基板3608に注入される不純物量をin situで測定し、照射量のバラツキを抑制することができる。

【0195】粒子量計測器3607の計測値と、注入処理中にイオン電流を測定できるビーム電流測定器3611の計測値との相関を処理前に求めることで、半導体基板3608に対して正確に所望の量の不純物を導入できるようになる。

【0196】以下に、粒子量計測器3607とビーム電流測定器3611とを組み合わせた半導体装置の製造方法について図39を参照して説明する。図39は、本発明の20実施形態に係わる半導体装置の製造工程の説明に用いるフローチャートである。

【0197】(ステップS201)先ず、半導体基板3608をエンドステーション部3606に搬入する。半導体基板3608をエンドステーション部3606内で平行イオンビーム3605が照射されることがない待避位置に待避させておく。ステンシルマスク3609も待避位置に待避させておく。平行イオンビーム3605の状態は、エンドステーション部3606内部の環境によって変化する。従って、粒子量計測器3607の計測値と、ビーム電流測定器3611の計測値との相関は、半導体基板3608に平行イオンビーム3605を照射する直前に行なうことが好ましい。よって、予め半導体基板3608をエンドステーション部3606内に搬入し、平行イオンビーム3605の照射位置から待避させておく。

【0198】(ステップS202)次いで、粒子量計測器3607の測定面に対して平行イオンビーム3605を照射する。

【0199】(ステップS203)半導体基板3608に対してイオン注入を行う直前に、本発明の粒子量計測器3607で測定面の単位面積に入射する全粒子量Nを測定する共に、ビーム電流測定装置3611によりイオン量N₂を測定する。ここで、イオン量N₂の代わりに、イオン照射中にイオン電流を随時測定し、電流量を単に積分したもので構わない。

【0200】(ステップS204)所望の注入量Dに対して、2つの測定値N, N₂を用いて換算値D₂=D×(N₂/N)を求める。

【0201】(ステップS205)シャッターで平行イオンビーム3605を遮蔽する、或いは一旦平行イオンビーム3605の照射を中止して、半導体基板3608に対して平行イオンビーム3605が照射されないようにした後、半導体基板3608及びステンシルマスク3609をイオンビーム照射位置に移動させる。

【0202】(ステップS206)ステンシルマスク3609を用いて半導体基板3608に対して平行イオンビーム3605を選択照射し、半導体基板3608に不

純物を導入する。

【0203】(ステップS207)不純物導入時、ビーム電流測定器3611によりイオン量 N_2' を測定する。

【0204】(ステップS208)測定されたイオン量 N_2' が換算値 D_2 に等しいか判定する。

【0205】(ステップS209)イオン量 N_2' が換算値 D_2 と等しいと判定された時点で、イオン注入処理を終了させる。

【0206】以上説明したように、処理直前に適切な換算値 D_2 を求めておき、イオン照射時にイオン量 N_2' が換算値 D_2 になった時点で、イオン照射処理を止めることで、装置状態によらずに正確に注入量を制御できるようになり、半導体素子の電気特性のばらつきを抑制する事ができるようになる。

【0207】注入処理中にイオン電流を測定できるビーム電流測定器3611としては、例えばサイドファラデーと呼ばれる測定器がある。これは、空間的に広がったイオンビームの端の被処理基板に作用しない部分の電流量を測定するものである。

【0208】(第21の実施形態)次に、粒子量計測器3607の前面に電極を設けることで、特定のエネルギーを持った粒子と中性の粒子だけを測定できるようにした実施例について図40を用いて説明する。図41に示すように、粒子量計測器3607の前面に、電源3902により任意の電位を与えることができる電極3901を設置する。電極3901に電位を与えない状態では、平行イオンビーム3605に含まれる全ての粒子が電極3901を通過し、電極3901を通過した粒子3605'が電極を粒子量計測器3607によって計測される。

【0209】ここで、粒子の価数を $+q$ とすると、電極3901に電位 E を与えたときに、運動エネルギーが qE よりも小さなイオンは電極3901を通過する事ができない。電極3901を通過し粒子量計測器3607で計測される粒子3605'は中性の粒子または運動エネルギーが qE を越えていた粒子となる。電極3901に与える電圧を変化させて、粒子量計測器3607に計測される粒子3605'の空間分布と信号量を確認することで、処理時に半導体基板に到達する粒子のエネルギー状態をより詳細に確認する事ができる。

【0210】特にイオン注入においては、注入深さが粒子の持つ運動エネルギー(加速エネルギー)に依存し、注入量と注入深さは半導体素子の電気特性に影響するため、半導体基板に対して処理を行う前に粒子の持つ運動エネルギー分布を確認することで半導体素子の電気特性のばらつきを軽減する事が可能になる。

【0211】(第22の実施形態)次に、特定の領域に開口部があるステンシルマスクを設置する事で、より位置を限定して粒子の量を計測できる様にする実施例について、図41を用いて説明する。

【0212】図41に示すように、ここで粒子量計測器3607の前面に、任意の領域に開口4102が施されたステンシルマスク4101が設置されている。粒子量計測器3607には、ステンシルマスク4101の開口4102を通過してきた粒子だけが入射する。従って、ステンシルマスク4101の開口4102の開口サイズや開口部間距離の設定を変化させることで、より空間分解能の高い計測が可能になる。またこのステンシルマスク4101に電位をかけて第21の実施形態で説明した電極3901として用いて、特定のエネルギーの粒子だけを計測してもよい。

【0213】なお、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。例えば、上記各実施形態において、ステンシルマスクは、イオン注入時のマスクとして用いられていたが、荷電粒子を含むプラズマを用いたエッチング等のマスクとして用いることもできる。又、X線(荷電粒子)露光におけるマスクとして用いることもできる。

【0214】更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0215】

【発明の効果】以上説明したように本発明によれば、ステンシルマスクの変形が1/10以下になり、高精度に所望の位置にイオンを注入できるため、トランジスタの特性のバラツキが大幅に減少する。

【図面の簡単な説明】

【図1】第1の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図2】不純物(リン、炭素、及び窒素)のドープ量に対するマスクの歪み量を示す特性図。

【図3】第1の実施形態に係わるステンシルマスクをイオン注入工程に用いた例を示す図。

【図4】第1の実施形態に係わるステンシルマスクの製造工程の変形例を示す工程断面図。

【図5】第1の実施形態に係わるステンシルマスクの製造工程の変形例を示す工程断面図。

【図6】第2の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図7】第3の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図8】第4の実施形態に係わるステンシルマスクの製造方法を示す工程断面図。

【図 9】第 4 の実施形態に係わるステンシルマスクの製造方法を示す工程断面図。

【図 10】第 5 の実施形態に係わるステンシルマスクの構成を示す断面図。

【図 11】第 5 の実施形態に係わるステンシルマスクをイオン注入工程に用いた例を示す図。

【図 12】第 6 の実施形態に係わるステンシルマスクの構成を示す断面図。

【図 13】第 7 の実施形態に係わるステンシルマスクの構成を示す断面図。

【図 14】第 7 の実施形態に係わるステンシルマスクをイオン注入工程に用いた例を示す図。

【図 15】第 8 の実施形態に係わるステンシルマスクの構成を示す断面図。

【図 16】第 9 の実施形態に係わるステンシルマスクの製造方法及びステンシルマスクを用いた半導体装置の製造工程を示す工程断面図。

【図 17】第 9 の実施形態に係わるステンシルマスクの製造工程及びステンシルマスクを用いた半導体装置の製造工程を示す工程断面図。

【図 18】第 9 の実施形態に係わるステンシルマスクの製造工程及びステンシルマスクを用いた半導体装置の製造工程を示す工程断面図。

【図 19】第 10 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図 20】第 11 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図 21】第 11 の実施形態に係わるステンシルマスクを用いた半導体装置の製造工程を示す図。

【図 22】第 12 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図 23】第 13 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図 24】第 14 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図 25】第 14 の実施形態に係わるステンシルマスクを用いた半導体装置の製造工程を示す図。

【図 26】第 15 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図 27】第 16 の実施形態に係わるステンシルマスク

の製造工程を示す工程断面図。

【図 28】第 17 の実施形態に係わるステンシルマスクの製造工程を示す工程断面図。

【図 29】第 19 の実施形態に係わるステンシルマスクを用いたイオン注入工程を示す図。

【図 30】イオン注入後、半導体基板の残留電荷量の測定結果を示す図。

【図 31】半導体基板とステンシルマスクとの距離を $150 \mu m$ 、電位差を $4 \sim 10 V$ に変化させてイオン注入した後、半導体基板の残留電荷量の測定結果を示す図。

【図 32】残留電荷量のステンシルマスクと被処理基板との距離依存性を示す図。

【図 33】残留電荷量の半導体基板-ステンシルマスクの電位差及び距離依存性を示す特性図。

【図 34】第 18 の実施形態に係わるイオン注入工程の変形例を示す図。

【図 35】第 18 の実施形態に係わるイオン注入工程の変形例を示す図。

【図 36】第 19 の実施形態に係わる半導体装置製造装置の概略構成を示す図。

【図 37】第 19 の実施形態に係わる粒子量計測器の概略構成を示す図。

【図 38】第 19 の実施形態に係わる半導体装置の製造工程を説明するためのフローチャート。

【図 39】第 20 の実施形態に係わる半導体装置の製造工程を説明するためのフローチャート。

【図 40】第 21 の実施形態に係わる粒子量計測器の概略構成を示す図。

【図 41】第 22 の実施形態に係わる粒子量計測器の概略構成を示す図。

【図 42】従来のステンシルマスクを用いてイオン注入工程を行った様子を示す図。

【符号の説明】

101 …シリコン支持基板

102 …シリコン酸化膜

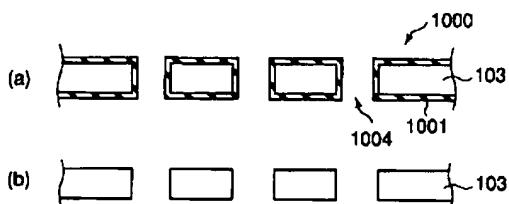
103 …シリコン薄膜

104 …開口

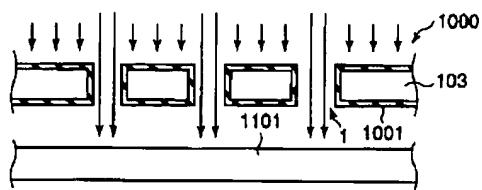
105 …損傷領域

106 …硬シリコン層

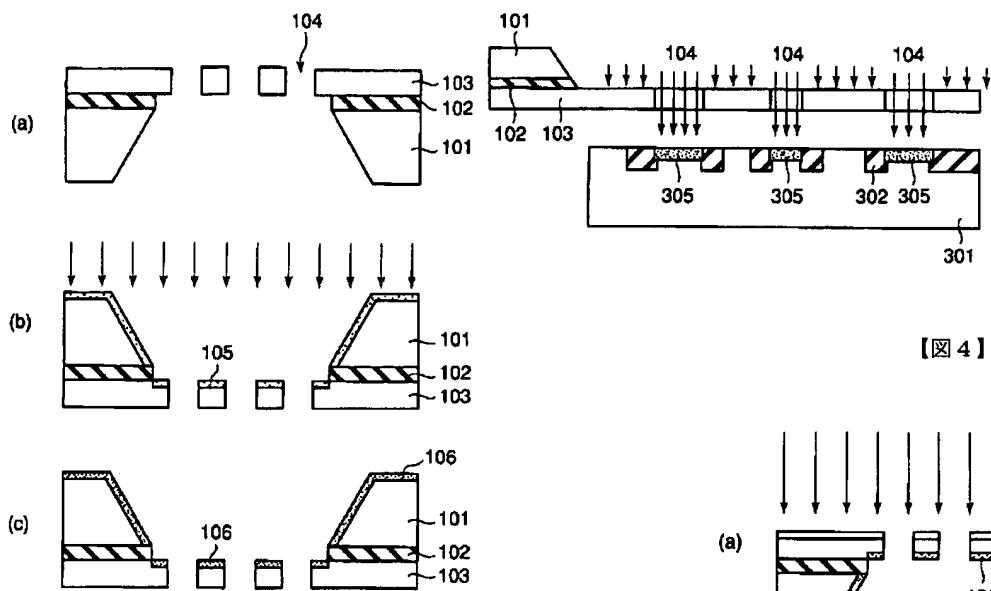
【図 10】



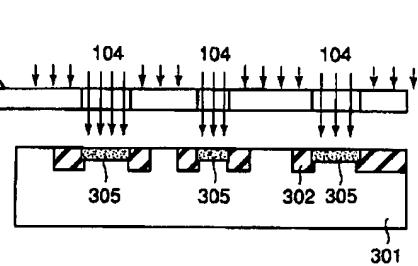
【図 11】



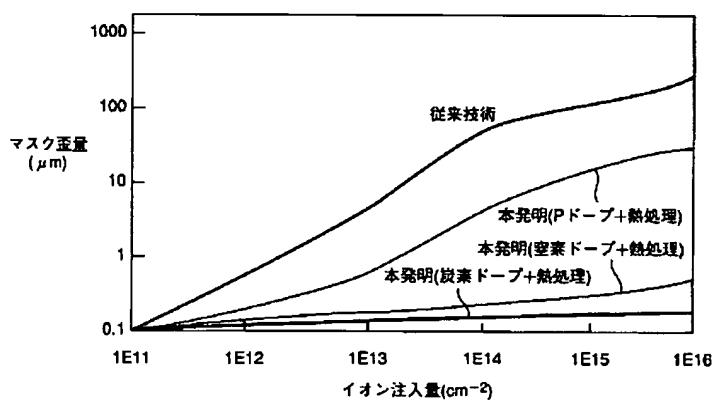
【図1】



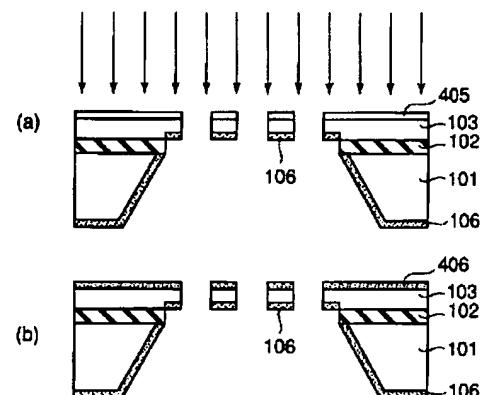
【図3】



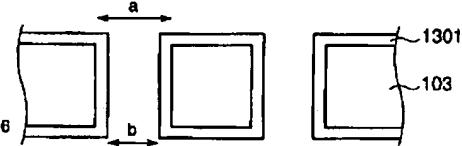
【図2】



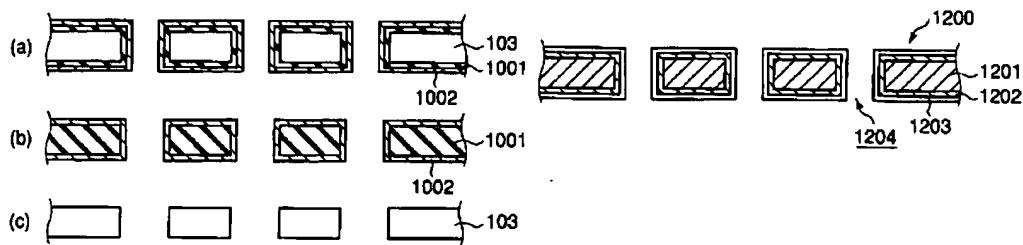
【図4】



【図15】

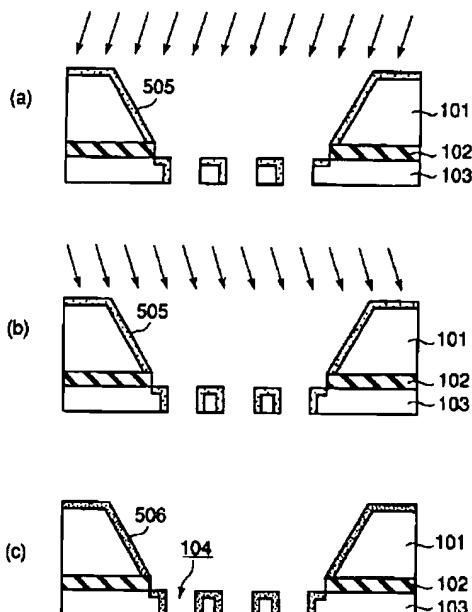


【図12】

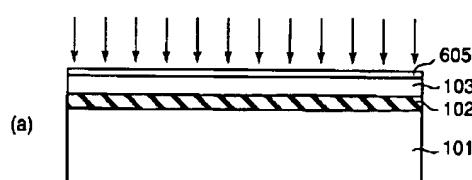


【図13】

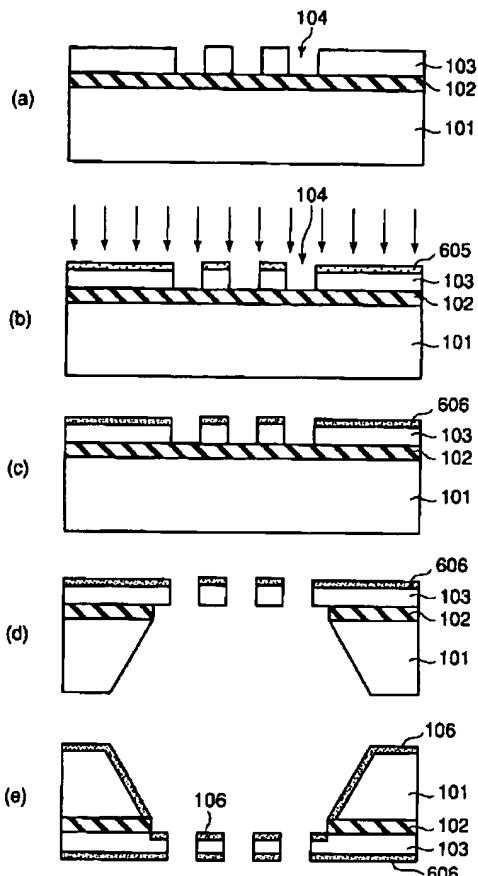
【図5】



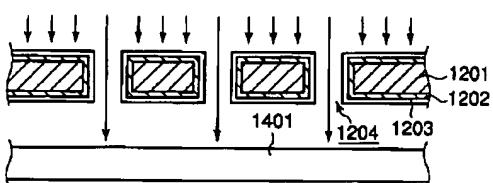
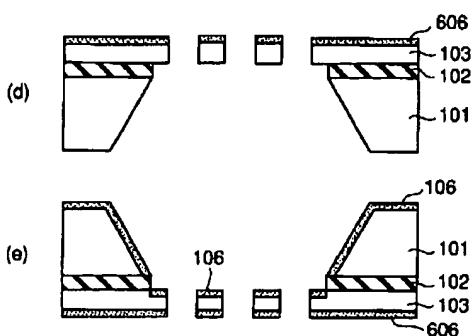
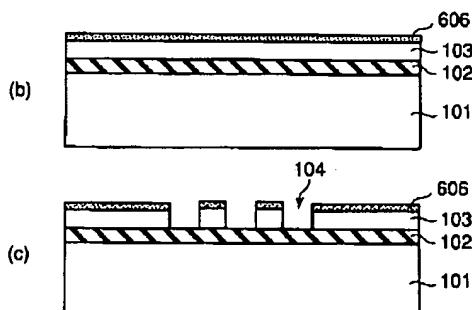
【図7】



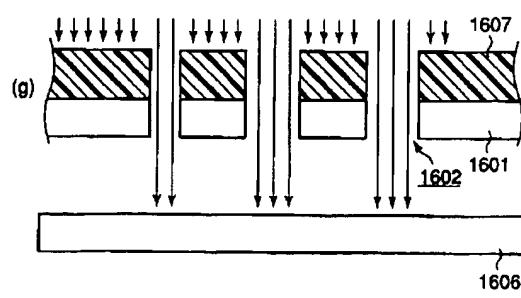
【図6】



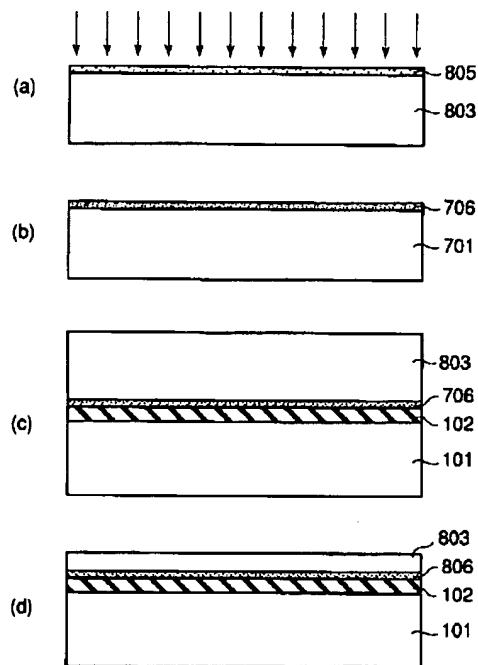
【図14】



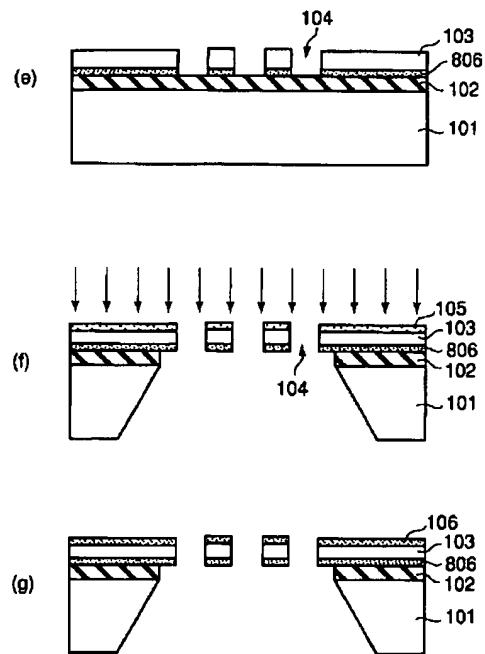
【図18】



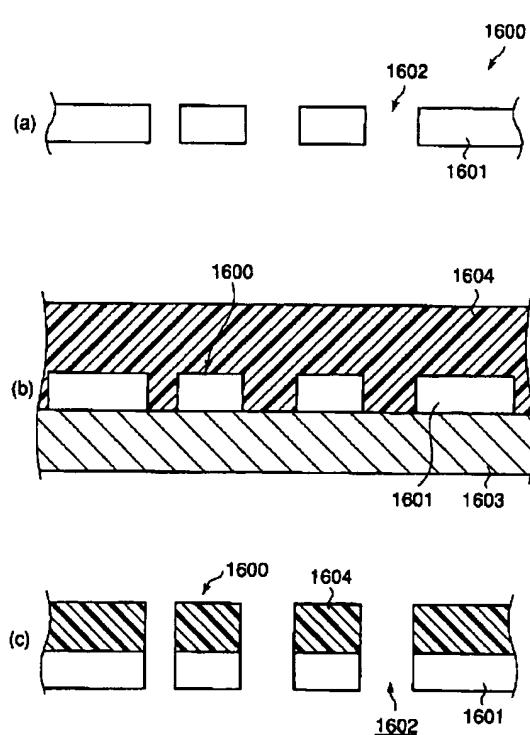
【図 8】



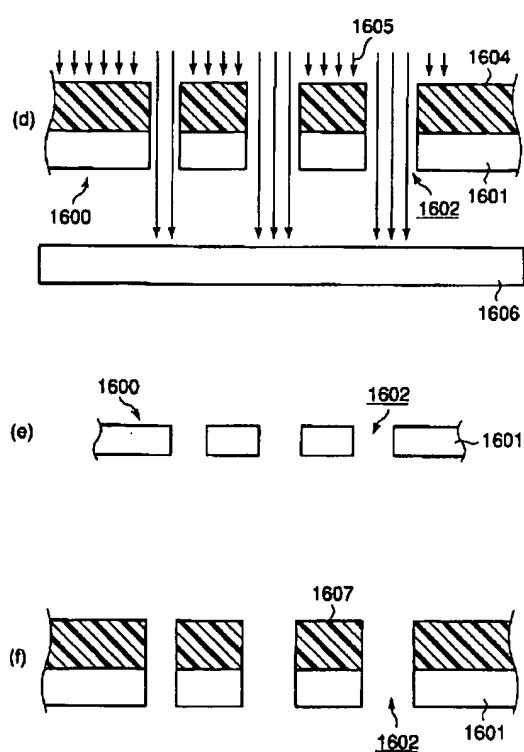
【図 9】



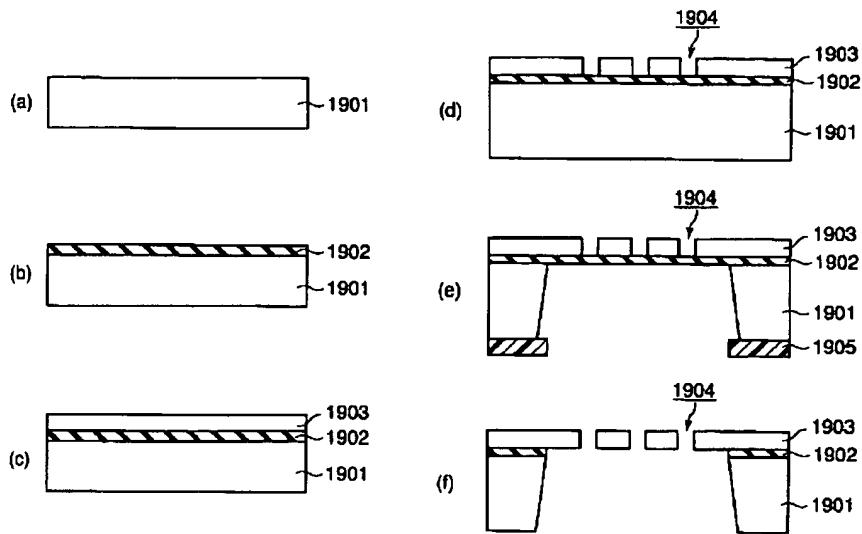
【図 16】



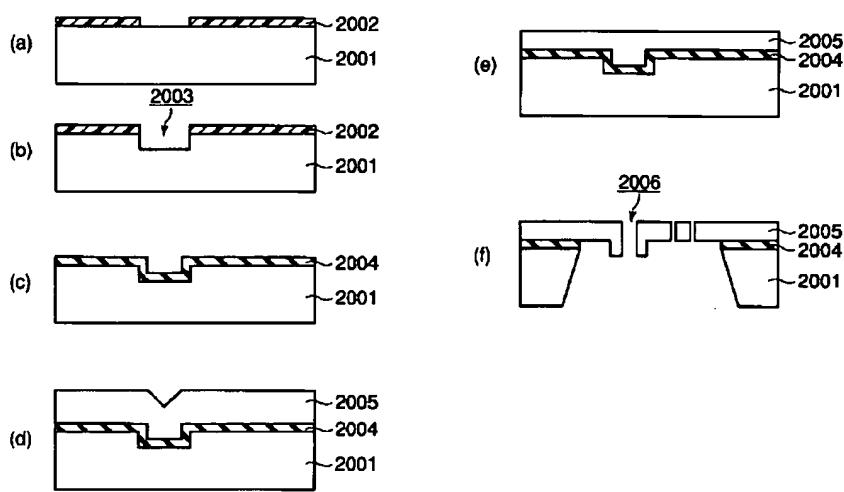
【図 17】



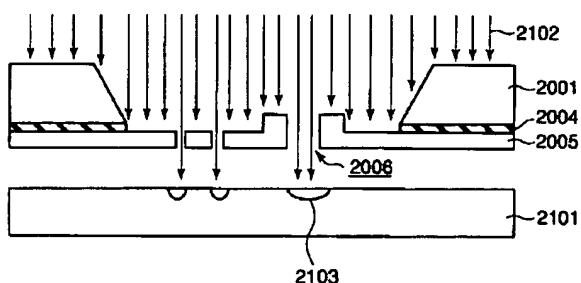
【図 19】



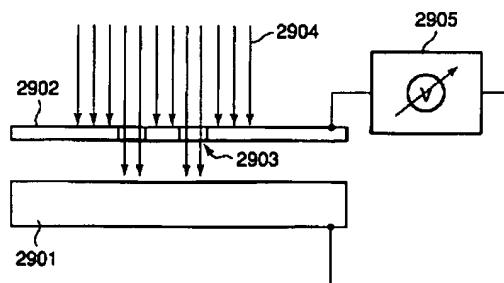
【図 20】



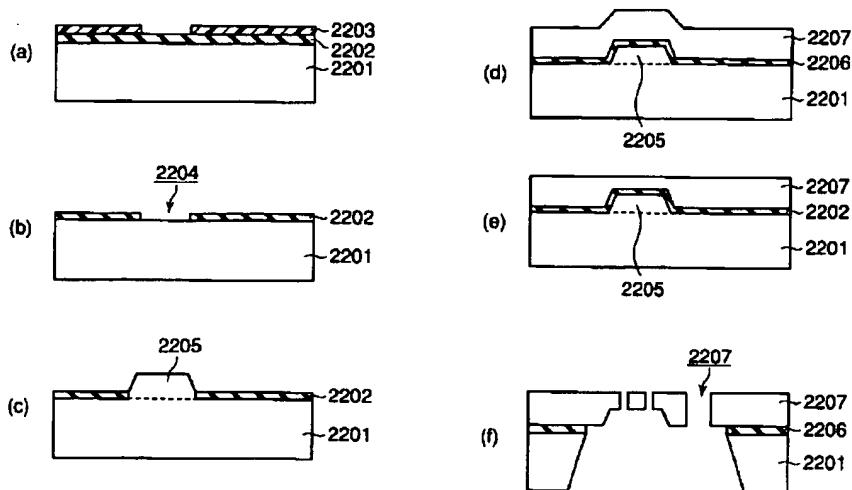
【図 21】



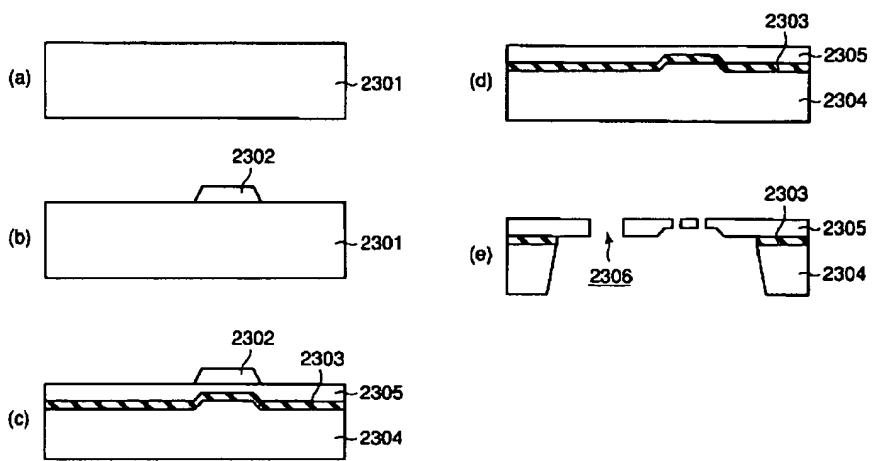
【図 22】



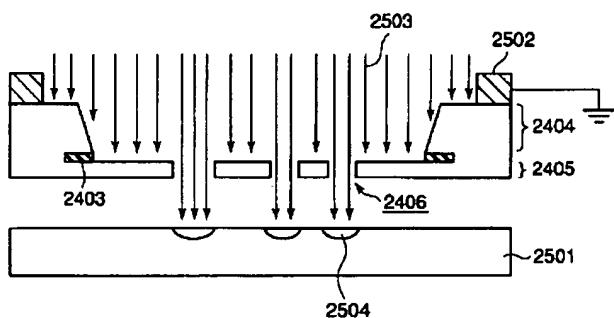
【図22】



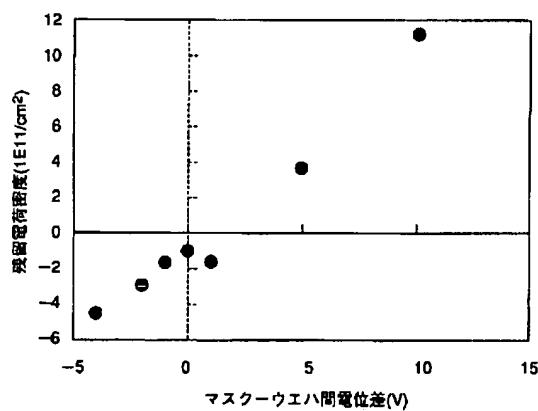
【図23】



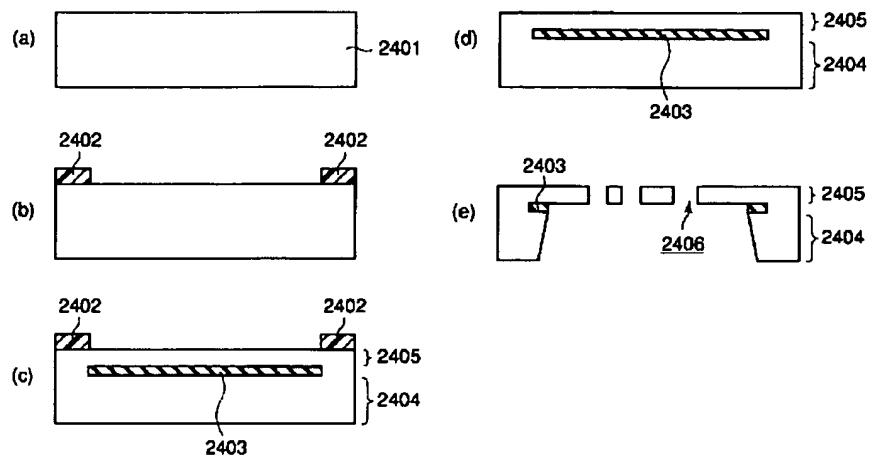
【図25】



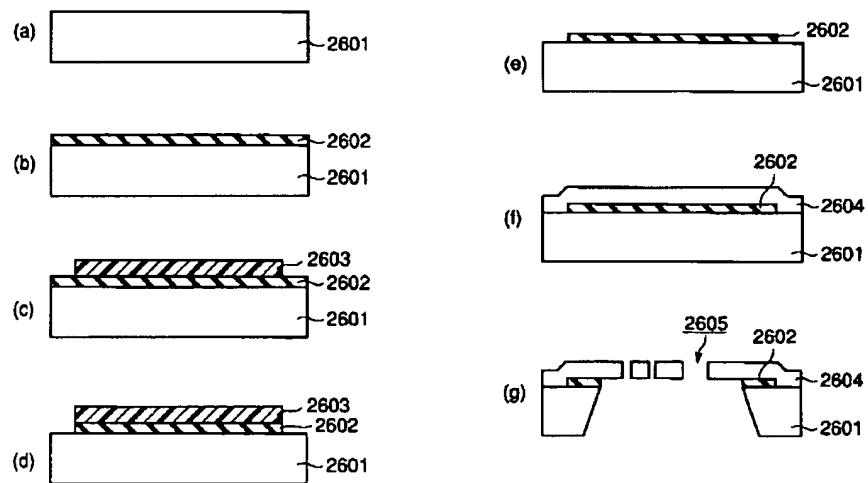
【図31】



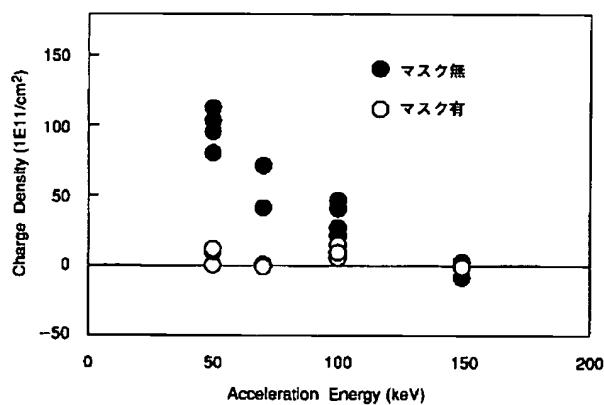
【図24】



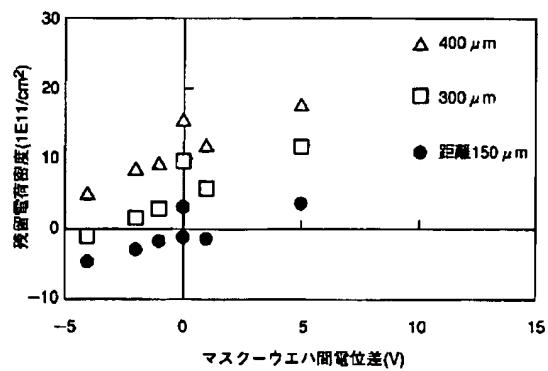
【図26】



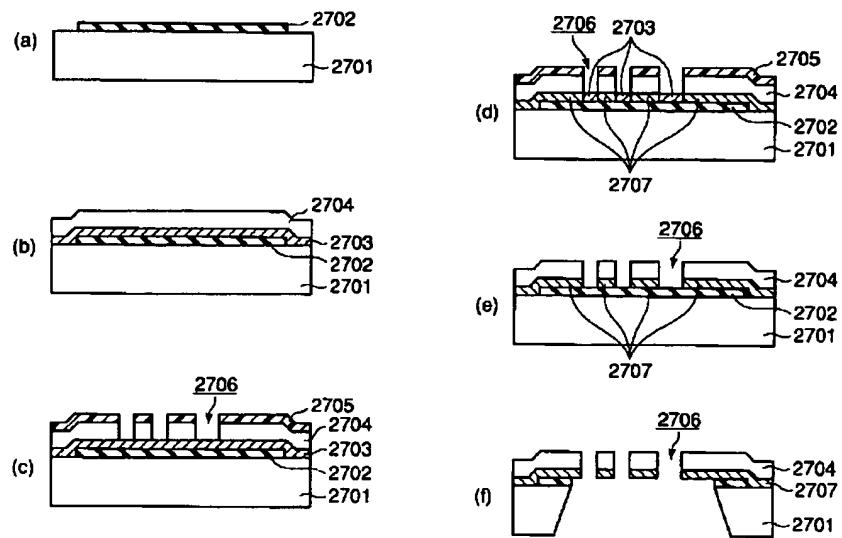
【図30】



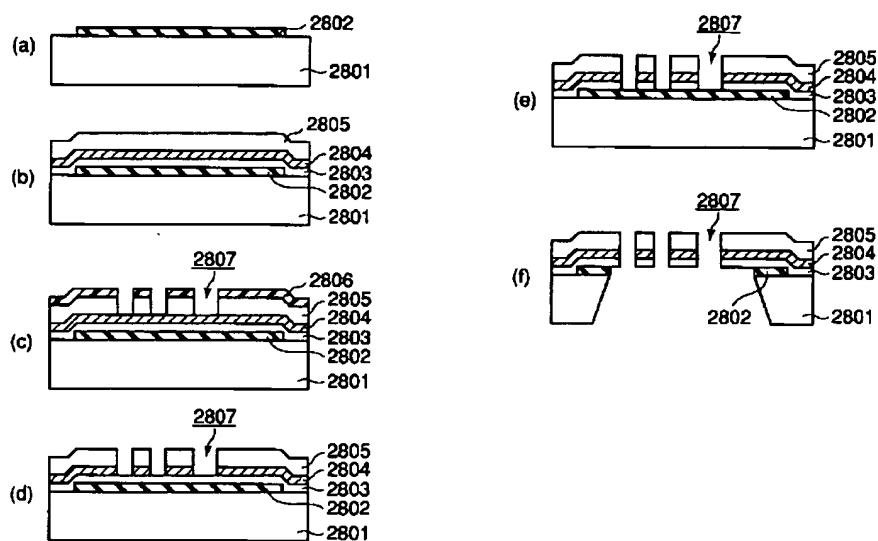
【図33】



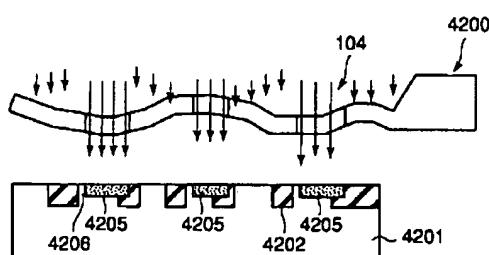
【図27】



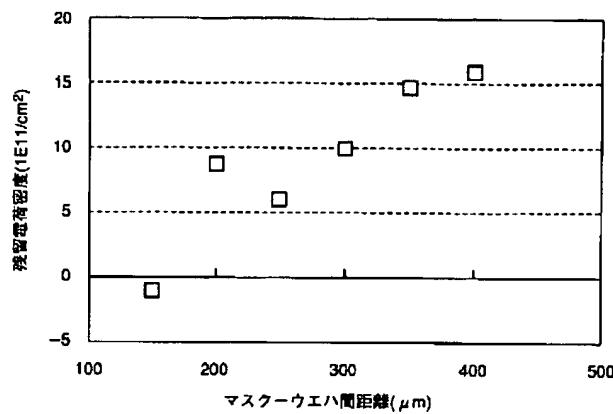
【図28】



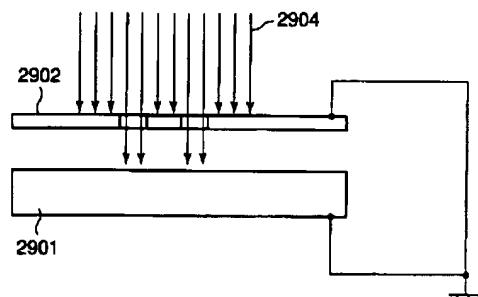
【図42】



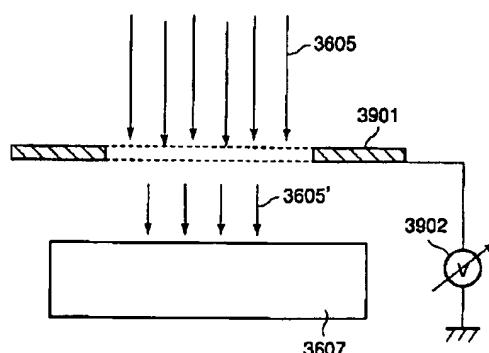
【図32】



【図34】

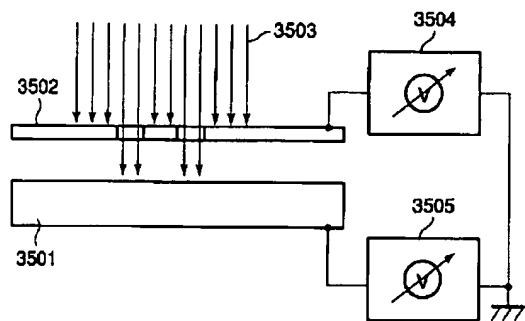


【図40】

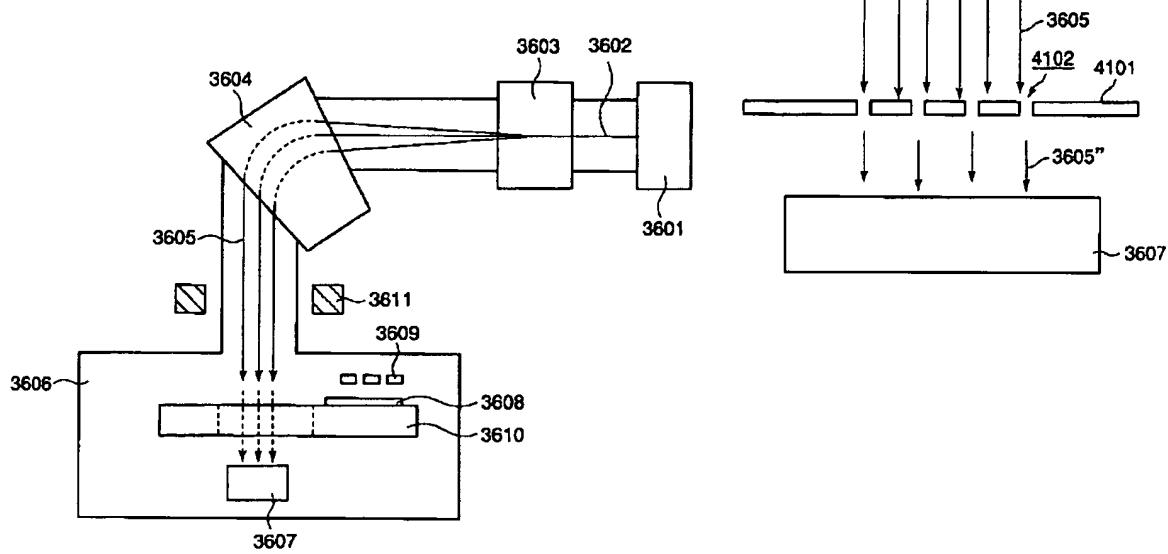


【図41】

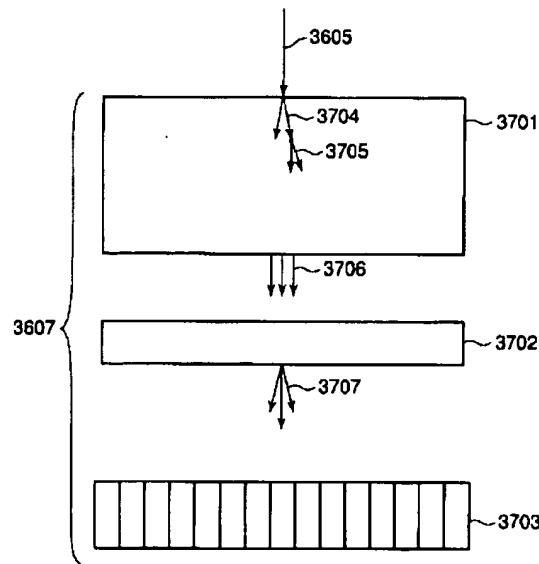
【図35】



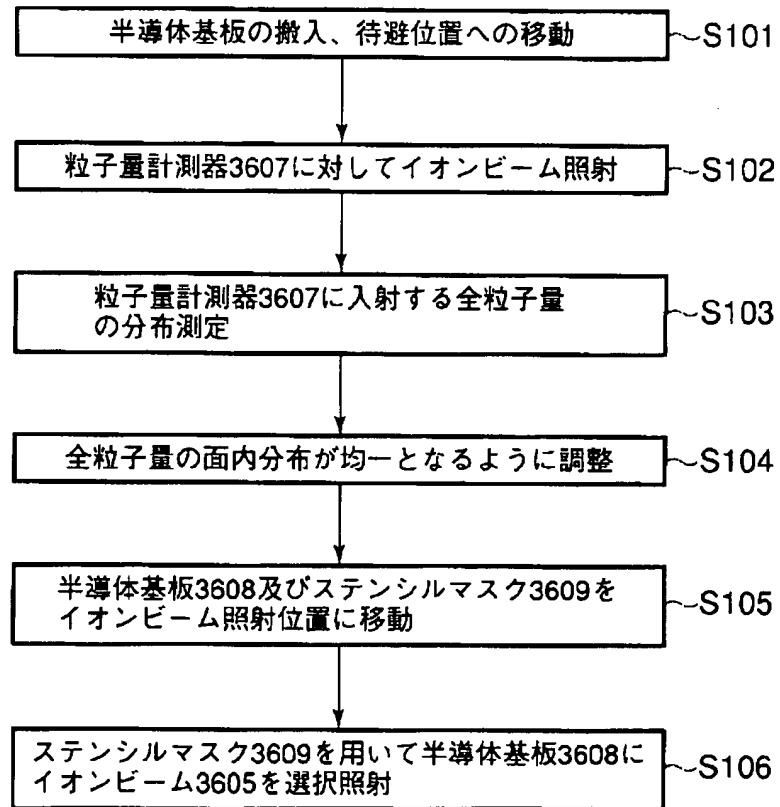
【図36】



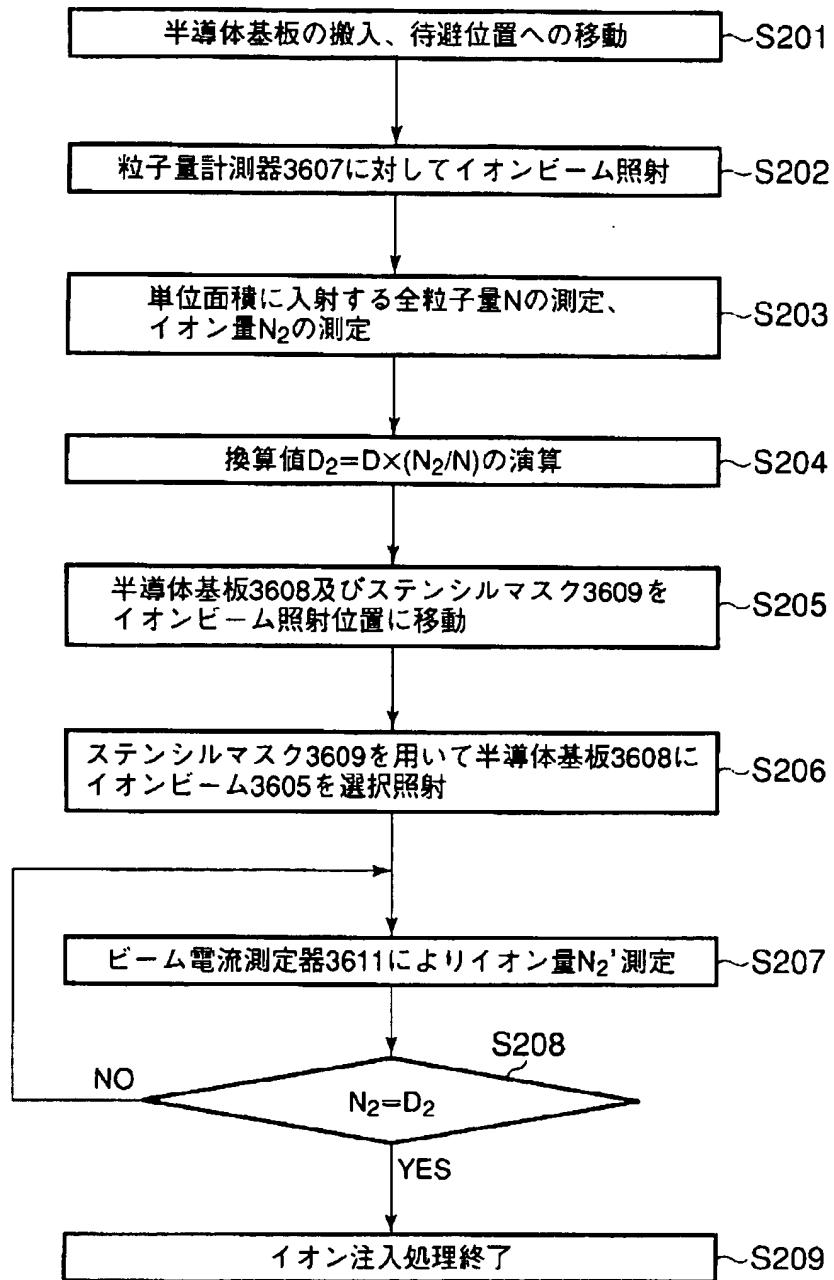
【図37】



【図38】



【図39】



フロントページの続き

(72)発明者 須黒 恒一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 杉原 和佳

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

F ターム(参考) 2H095 BA08 BC05

5F056 AA22 FA05